



HT32F49153/HT32F49163

产品规格书

内置 ADC、DAC、USART、SPI、I²S、I²C、
GPTMR、ACTMR、BTMR、CRC、ERTC、
WDT、WWDT、DMA、CAN、XMC、IRTMR 和 OTGFS
高达 256 KB Flash 和 48 KB SRAM 的 32-bit Arm[®] Cortex[®]-M4 单片机

版本: V1.10 日期: 2025-10-10

www.holtek.com

目录

1 简介 7

2 特性 8

 带有 FPU 的 Arm® Cortex®-M4..... 8

 存储器..... 8

 中断..... 9

 电源控制 (PWC)..... 9

 启动模式..... 10

 时钟 11

 通用输入输出 (GPIO)..... 11

 直接存储器访问控制器 (DMA)..... 11

 定时器 (TMR)..... 11

 看门狗 (WDT) 13

 窗口型看门狗 (WWDT) 13

 增强型实时时钟 (ERTC) 和电池供电寄存器 (BPR)..... 13

 通信接口 14

 循环冗余校验 (CRC) 计算单元 16

 模拟 / 数字转换器 (ADC)..... 16

 数字 / 模拟转换器 (DAC)..... 17

 串行线 (SWD) / JTAG 调试接口 17

3 概述 18

 单片机信息 18

 方框图..... 19

 存储器映射 20

 时钟结构..... 23

4 引脚图 24

5 电气特性 30

 测试条件 30

 绝对最大值..... 31

 通用工作条件..... 32

 上电和掉电时的工作条件 32

 内置复位和电源控制模块特性..... 32

 存储器特性..... 34

 供电电流特性..... 34

 外部时钟源特性..... 42

 内部时钟源特性..... 45

 PLL 特性..... 46

低功耗模式唤醒时间	46
EMC 特性	46
GPIO 端口特性	47
NRST 引脚特性	49
XMC 特性	50
TMR 定时器特性	55
SPI 接口特性	55
I ² S 接口特性	57
I ² C 接口特性	59
OTGFS 接口特性	59
12 位 ADC 特性	61
内部参照电压 (V _{INTRV}) 特性	64
温度传感器 (V _{TS}) 特性	65
12 位 DAC 特性	66
6 封装信息	67
SAW Type 32-pin QFN (4 mm × 4 mm × 0.85 mm) 外形尺寸	68
48-pin LQFP (7 mm × 7 mm) 外形尺寸	69
64-pin LQFP (7 mm × 7 mm) 外形尺寸	70
100-pin LQFP (14 mm × 14 mm) 外形尺寸	71
热特性	72

表列表

表 1. 启动加载程序 (Bootloader) 的封装支持和引脚配置	10
表 2. 定时器功能比较	12
表 3. USART 功能比较	14
表 4. 特性及外设列表	18
表 5. 外设边界地址	21
表 6. 引脚定义	26
表 7. 电压特性	31
表 8. 电流特性	31
表 9. 温度特性	31
表 10. 静电放电值	31
表 11. 静态栓锁值	32
表 12. 通用工作条件	32
表 13. 上电和掉电时的工作条件	32
表 14. 内置复位特性 ⁽¹⁾	32
表 15. 可编程电压检测器特性	33
表 16. 内部闪存存储器特性 ^(注)	34
表 17. 内部闪存存储器寿命和数据保存期限 ^(注)	34
表 18. 运行模式下的典型电流消耗	35
表 19. 睡眠模式下的典型电流消耗	36
表 20. 运行模式下的最大电流消耗	37
表 21. 睡眠模式下的最大电流消耗	38
表 22. 深睡眠和待机模式下的典型和最大电流消耗 ^(注)	38
表 23. 内置外设的电流消耗典型值	40
表 24. HEXT 4 ~ 25 MHz 晶振特性 ⁽¹⁾⁽²⁾	42
表 25. 高速外部用户时钟特性	42
表 26. LEXT 32.768 kHz 晶振特性 ⁽¹⁾⁽²⁾	43
表 27. 低速外部用户时钟特性	44
表 28. HICK 时钟特性	45
表 29. LICK 时钟特性	46
表 30. PLL 特性	46
表 31. 低功耗模式的唤醒时间	46
表 32. EMS 特性	47
表 33. GPIO 静态特性	47
表 34. 输出电压特性 ⁽¹⁾	48
表 35. 输入交流特性	49
表 36. NRST 引脚特性	49
表 37. 异步总线复用的 PSRAM / NOR 读操作时序	50
表 38. 异步总线复用的 PSRAM / NOR 写操作时序	51
表 39. 同步总线复用 PSRAM / NOR 读操作时序	53
表 40. 同步总线复用 PSRAM 写操作时序	54
表 41. TMR 定时器特性	55
表 42. SPI 特性 ⁽¹⁾	55
表 43. I ² S 特性 ^(注)	57

表 44. OTGFS 启动时间..... 59

表 45. OTGFS 直流特性 ^{(1) (2)}.....60

表 46. OTGFS 电气特性 ⁽¹⁾.....60

表 47. ADC 特性..... 61

表 48. f_{ADC} = 80 MHz 时的最大 R_{AIN}.....62

表 49. ADC 精度 ⁽¹⁾⁽²⁾.....62

表 50. 内置参照电压特性 64

表 51. 温度传感器特性 65

表 52. DAC 特性..... 66

表 53. 封装的热特性 72

图列表

图 1. 方框图	19
图 2. 存储器映射	20
图 3. 时钟结构	23
图 4. 32-pin QFN 引脚分布	24
图 5. 48-pin LQFP 引脚分布	24
图 6. 64-pin LQFP 引脚分布	25
图 7. 100-pin LQFP 引脚分布	25
图 8. 供电方案	30
图 9. 上电复位和低电压复位的波形图	33
图 10. LDO 1.2 V 在正常模式时，深睡眠模式下的典型电流消耗在不同的 V_{DD} 时与温度的对比	39
图 11. LDO 在额外低功耗模式时，深睡眠模式下的典型电流消耗在不同的 V_{DD} 时与温度的对比	39
图 12. 待机模式下的典型电流消耗在不同的 V_{DD} 时与温度的对比	40
图 13. 使用 8 MHz 晶振的典型应用	42
图 14. 外部高速时钟源的交流时序图	43
图 15. 使用 32.768 kHz 晶振的典型应用	44
图 16. 外部低速时钟源的交流时序图	44
图 17. HICK 时钟精度与温度的对比	45
图 18. 建议的 NRST 引脚保护	49
图 19. 异步总线复用 PSRAM / NOR 读操作波形	51
图 20. 异步总线复用 PSRAM / NOR 写操作波形	52
图 21. 同步总线复用 PSRAM / NOR 读操作波形	53
图 22. 同步总线复用 PSRAM 写操作波形	54
图 23. SPI 时序图 – 从模式和 CPHA = 0	56
图 24. SPI 时序图 – 从模式和 CPHA = 1	56
图 25. SPI 时序图 – 主模式	57
图 26. I ² S 从模式时序图 (Philips 协议)	58
图 27. I ² S 主模式时序图 (Philips 协议)	59
图 28. OTGFS 时序：数据信号上升和下降时间定义	60
图 29. ADC 精度特性	63
图 30. 使用 ADC 典型的连接图	63
图 31. 供电电源和参考电源去耦线路 (具有外部 V_{REF+} 引脚封装)	64
图 32. 供电电源去耦线路 (无外部 V_{REF+} 引脚封装)	64
图 33. V_{TS} 对温度理想曲线图	65

1 简介

HT32F49153/HT32F49163 单片机基于高性能的 Arm® Cortex®-M4 32 位的 RISC 内核，最高工作频率达到 150 MHz，Cortex®-M4 内核带有单精度浮点运算单元 (FPU)，支持所有 Arm® 单精度数据处理指令和数据类型。它还具有一组 DSP 指令和提高应用安全性的一个存储器保护单元 (MPU)。

该系列单片机内置高速片上存储器，包含高达 256 K 字节的闪存，48 K 字节的 SRAM，以及启动程序代码区 20 K 字节，除可作启动加载程序 (Bootloader) 外也可一次性配置成一般用户程序和数据区，达到 256+20 K 字节闪存存储器的最大使用空间。内置存储器可设置任意范围程序区受 sLib 保护，成为执行代码安全库区。另外该系列单片机包含高阶的存储器扩展：1 个外部存储器控制器 (XMC)。

该系列单片机包含 1 个 12 位的 ADC、2 个 12 位的 DAC、8 个 16 位和 1 个 32 位通用定时器、2 个基本定时器、1 个高级定时器、和 1 个低功耗 ERTC。它们还带有标准和先进的通信接口：多达 3 个 I²C 接口、3 个 SPI 接口 (复用为 I²S 接口)、8 个 USART 接口、2 个 CAN 接口、1 个 OTGFS 接口和 1 个红外发射器。

该系列单片机工作于 -40 °C 至 +105 °C 的温度范围，供电电压 2.4 V 至 3.6 V，省电模式可达到低功耗应用的要求。

该系列单片机提供各种不同封装形式；根据不同的封装形式，其系列产品之间引脚兼容，软件和功能上也兼容，仅产品中的外设配置不尽相同。

arm CORTEX

2 特性

带有 FPU 的 Arm® Cortex®-M4

Arm® Cortex®-M4 是最新一代的嵌入式 Arm® 内核处理器，它是一款 32 位的 RISC 高性能处理器，具有优异的代码效率，卓越的计算性能和先进的中断系统响应。该处理器支持一组 DSP 指令，能够实现有效的信号处理和复杂的算法执行。它配有的单精度 FPU (浮点单元) 可加速浮点运算需求并防止饱和。

存储器

闪存存储器 (Flash)

内置高达 256 K 字节的闪存存储器，用于存放程序和数据。内置存储器可指定任意一范围程序区受 sLib (security library) 保护，成为仅能执行无法被读取的执行代码安全库区。sLib 是基于保护方案商代码安全之下，又顾及其客户便于进行二次开发而设计的。

片上另有 20 K 字节的启动程序代码区，启动加载程序 (Bootloader) 存放于其中。用户若无启动加载程序使用需求，可一次性将启动程序代码区配置成一般用户程序和数据区，达到 256+20 K 字节闪存存储器的最大使用空间。

另外片上包含用户系统数据区块，用于配置访问擦写保护、看门狗自启动等硬件设置行为。用户系统数据对于存储器提供擦写保护和访问保护各自设置功能，其中访问保护有 2 个级别可配置。

存储器保护单元 (MPU)

存储器保护单元 (MPU) 用于管理 CPU 对存储器的访问，防止一个任务意外损坏另一个激活任务所使用的存储器或资源。此存储区由最多 8 个保护区组成，还可依次再被分为最多 8 个子区。保护区大小可为 32 字节至可寻址存储器的整个 4 G 字节。MPU 特别适合有一些关键的或认证的代码必须受到保护，以免被其它任务的错误行为影响。它通常是一个 RTOS (实时操作系统)。

内置随机存取存储器 (SRAM)

高达 48 K 字节的片上 SRAM，CPU 能以零等待周期访问 (读 / 写)。

外部存储器控制器 (XMC)

该系列单片机集成了外部存储器控制器模块 (XMC)。它具有 3 个片选输出，支持复用信号的 PSRAM 和 NOR 存储器。

主要功能：

- 写入缓存；
- 代码可以在复用信号的 PSRAM / NOR 片外存储器运行。

XMC 也可以配置成与多数图形 LCD 控制器连接，它支持 Intel 8080 和 Motorola 6800 的模式。

中断

嵌套的向量式中断控制器 (NVIC)

该系列单片机内置嵌套的向量式中断控制器，可管理 16 个优先级，处理 Cortex®-M4 内核的可屏蔽中断通道及 16 个中断线。该模块以最小的中断延迟提供灵活的中断管理功能。

外部中断 (EXINT)

外部中断 (EXINT) 与 NVIC 直接连接，EXINT 包含 25 个边沿检测器，用于产生中断请求。每个中断线都可以独立地配置它的触发事件 (上升沿、下降沿或双边沿)，并能够单独地被屏蔽；挂起寄存器维持所有中断请求的状态。外部中断其中最多有 16 根可从 GPIO 中选择连接。

电源控制 (PWC)

供电方案

- $V_{DD} = 2.4 \sim 3.6 \text{ V}$: 通过 V_{DD} 引脚为 GPIO 引脚、ERTC、外部 32 kHz 晶振 (LEXT)、电池供电寄存器 (BPR) 和调压器 (LDO) 等内部模块供电。
- $V_{DDA} = 2.4 \sim 3.6 \text{ V}$: 通过 V_{DDA} 引脚为 ADC 和 DAC 供电。 V_{DDA} 和 V_{SSA} 必须分别与 V_{DD} 和 V_{SS} 等电位。

复位和电源电压监测器 (POR / LVR / PVM)

该系列单片机内部集成了上电复位 (POR) 和低电压复位 (LVR) 电路，该电路始终处于工作状态，可使单片机在供电超过 2.4 V 时工作；当 V_{DD} 压降低于规定阈值 (V_{LVR}) 时，置单片机于复位状态，而不必使用外部复位电路。

单片机中还包含一个电源电压监测器 (PVM)，它监视 V_{DD} 供电并与阈值 V_{PVM} 比较，当 V_{DD} 下降至低于或爬升至高于阈值 V_{PVM} 时产生中断。PVM 功能需要通过程序开启。

电压调节器 (LDO)

LDO 有三个操作模式：正常模式、低功耗模式和关断模式。

- 正常模式：用于正常的运行 / 睡眠操作并可用于 CPU 的深睡眠模式；
- 低功耗模式：可用于 CPU 的深睡眠模式；
- 关断模式：用于 CPU 的待机模式。LDO 的输出为高阻状态，内核电路的供电切断，寄存器和 SRAM 的内容将丢失。

该 LDO 在芯片复位后处于正常模式工作状态。

LDO 另有输出电压调整功能，除默认的 1.2 V 外，支持 1.3 V 和 1.1 V 软件可调，提供效能及功耗之间最大适应可能。不同 LDO 电压适应 AHB 和 APB 时钟最高频率见表 12。使用者须遵照 HT32F49153/HT32F49163 用户手册进行正确的 LDO 电压切换与系统时钟设置步骤。

低功耗模式

该系列单片机支持三种低功耗模式。

- 睡眠模式 (Sleep)

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断 / 事件时唤醒 CPU。

■ 深睡眠模式 (Deepsleep)

深睡眠模式下可以实现低功耗，同时保持 SRAM 和寄存器的内容。此时，LDO 供电域中的所有时钟都会停止，PLL、HICK 时钟和 HEXT 晶振也被关闭。还可以将 LDO 置于正常模式或低功耗模式。

可以通过任一配置成 EXINT 的信号把单片机从深睡眠模式中唤醒，EXINT 信号可以是 16 个外部 GPIO 口之一、PVM 的输出、ERTC 闹钟 / 唤醒 / 入侵检测 / 时间戳事件或 OTG 的唤醒信号。

■ 待机模式 (Standby)

在待机模式下可以达到最低的电能消耗。内部的 LDO 被关闭，因此所有内部 LDO 供电域的供电被切断。PLL、HICK 时钟和 HEXT 晶振也被关闭。进入待机模式后，SRAM 和寄存器的内容将消失，但 ERTC 寄存器和电池供电寄存器的内容仍然保留，待机电路仍工作。

从待机模式退出的条件是：NRST 上的外部复位信号、WDT 复位、WKUPx 引脚上的一个上升边沿或 ERTC 的闹钟 / 唤醒 / 入侵检测 / 时间戳事件。

注：在进入深睡眠或待机模式时，ERTC 以及对应的时钟不会被停止。WDT 视用户系统数据设置决定。

启动模式

在启动时，通过 BOOT0 引脚和用户系统数据 nBOOT1 位设置可以选择三种启动模式中的一种：

- 从用户闪存存储器启动；
- 从启动程序代码区启动；
- 从内部 SRAM 启动。

启动加载程序 (Bootloader) 存放于启动程序代码区中，可以通过 USART1, USART2, USART3 或 OTGFS1 对闪存重新编程，其中 OTGFS1 支持无晶振 (crystal-less) 操作。下表提供启动加载程序 (Bootloader) 对 HT32F49153/HT32F49163 的型号支持和引脚配置。

表 1. 启动加载程序 (Bootloader) 的封装支持和引脚配置

外设	适用封装	对应引脚
USART1	全部封装	PA9: USART1_TX PA10: USART1_RX
USART2	100LQFP	PD5: USART2_TX PD6: USART2_RX
	其它封装	PA2: USART2_TX PA3: USART2_RX
USART3	100LQFP, 64LQFP	PC10: USART3_TX PC11: USART3_RX 或 PB10: USART3_TX PB11: USART3_RX
	48LQFP	PB10: USART3_TX PB11: USART3_RX
	其它封装	不支持
OTGFS1	全部封装	PA11: OTGFS1_D- PA12: OTGFS1_D+

时钟

系统时钟在复位后，高速内部 48 MHz 时钟 (HICK) 经 6 分频后 (8 MHz) 被选为默认的 CPU 时钟，随后可以选择外部的、具失效监控的 4~25 MHz 高速晶振 (HEXT)；当检测到高速外部晶振失效时，它将被关闭，系统将自动地切换到 HICK，软件可以接收到相应的中断。同样当 PLL 使用的高速外部晶振失效时，硬件也会如此自动设置。

时钟控制分成多个预分频器用于配置 AHB 的频率和 APB (APB1 和 APB2) 的频率。AHB 和 APB2 的最高频率是 150 MHz，APB1 是 120 MHz。

另外，该系列单片机内置一个特别的自动时钟校准 (ACC) 模块，高速内部时钟 HICK 48 MHz 可被此模块校准，可保证在整个芯片可操作温度范围内 HICK 的最佳准确度。

通用输入输出 (GPIO)

每个 GPIO 引脚都可以由软件配置成输出 (推挽或开漏、带或不带上拉/下拉)、输入 (浮空、带或不带上拉或下拉) 或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的多个外设共享。所有的 GPIO 引脚都有大电流通过能力。

在需要的情况下，GPIO 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 GPIO 寄存器。

直接存储器访问控制器 (DMA)

灵活的 14 路通用 DMA (DMA1 上有 7 个通道，DMA2 上有 7 个通道) 能够管理存储器到存储器、外设到存储器和存储器到外设的数据传输。DMA 通道与各个外设连接时完全弹性映射。

DMA 控制器支持环形缓冲区的管理，当控制器到达缓冲区末尾时，无需通过用户代码进行干预。

每个通道都与专门的硬件 DMA 请求相连，同时支持软件触发。通过软件进行相关配置，并且数据源和数据目标之间传输的数据量不受限制。

DMA 可以用于主要的外设：SPI/I²S，I²C，USART，所有定时器 TMR，DAC 和 ADC。

定时器 (TMR)

该系列单片机包含最多 1 个高级定时器、9 个通用定时器和 2 个基本定时器以及 1 个系统滴答定时器。

下表比较了高级定时器、通用定时器和基本定时器的功能：

表 2. 定时器功能比较

定时器类型	定时器	计数器分辨率	计数器类型	预分频系数	产生 DMA 请求	捕获 / 比较通道	互补输出
高级	TMR1	16 位	递增, 递减, 递增 / 递减	1 ~ 65536 之间的任意整数	有	4	3
通用	TMR2	16 或 32 位	递增, 递减, 递增 / 递减	1 ~ 65536 之间的任意整数	有	4	无
	TMR3 TMR4	16 位	递增, 递减, 递增 / 递减	1 ~ 65536 之间的任意整数	有	4	无
	TMR9 TMR12	16 位	递增, 递减, 递增 / 递减	1 ~ 65536 之间的任意整数	有	2	2
	TMR10 TMR11 TMR13 TMR14	16 位	递增, 递减, 递增 / 递减	1 ~ 65536 之间的任意整数	有	1	1
基本	TMR6 TMR7	16 位	递增	1 ~ 65536 之间的任意整数	有	无	无

高级定时器 (TMR1)

一个高级定时器 (TMR1) 可以被看成是分配到 6 个通道的三相 PWM 发生器, 它具有带可编程死区插入的互补 PWM 输出, 还可以被当成完整的通用定时器。四个独立的通道可以用于:

- 输入捕获
- 输出比较
- 产生 PWM (边缘或中心对齐模式)
- 单周期输出

配置为 16 位标准定时器时, 它与 TMRx 定时器具有相同的功能。配置为 16 位 PWM 发生器时, 它具有全调制能力 (0 ~ 100 %)。

在调试模式下, 计数器可以被冻结, 同时 PWM 输出被禁止, 从而切断由这些输出所控制的开关。

很多功能都与通用定时器相同, 内部结构也相同, 因此高级定时器可以通过定时器链接功能与通用定时器协同操作, 提供同步或事件连接功能。

通用定时器 (TMR2 ~ 4 和 TMR9 ~ 14)

该系列单片机中, 内置了多达 9 个可同步运行的通用定时器。

- TMR2, TMR3 和 TMR4

TMR2 是基于一个 32 位自动加载递增 / 递减计数器和一个 16 位的预分频器。而 TMR3 和 TMR4 是基于一个 16 位自动加载递增 / 递减计数器和一个 16 位的预分频器。这些定时器在最大的封装可提供 4 个独立的通道, 每个通道都可用于输入捕获、输出比较、PWM 和单周期模式输出。

它们还能通过定时器链接功能与高级定时器共同工作, 提供同步或事件链接功能。任一通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。这些定时器还能够处理增量编码器的信号, 也能处理 1 至 3 个来自霍尔传感器的数字输出。

在调试模式下, 计数器可以被冻结。

- TMR9 和 TMR12

TMR9 和 TMR12 都有一个 16 位的自动加载递增 / 递减计数器、一个 16 位的预分频器、2

个独立的通道和 2 个互补通道，每个通道都可用于输入捕获、输出比较、PWM 和单周期模式输出，它们可以与全功能通用定时器 (TMR2, TMR3 和 TMR4) 同步。它们也可以用作简单的定时器。在调试模式下，计数器可以被冻结。这些定时器有独立的 DMA 请求生成机制。

■ TMR10, TMR11, TMR13 和 TMR14

这些定时器都有一个 16 位的自动加载递增 / 递减计数器、一个 16 位的预分频器、1 个独立的通道和 1 个互补通道，每个通道都可用于输入捕获、输出比较、PWM 和单周期模式输出，它们可以与全功能通用定时器 (TMR2, TMR3 和 TMR4) 同步。它们也可以用作简单的定时器。在调试模式下，计数器可以被冻结。这些定时器有独立的 DMA 请求生成机制。

基本定时器 (TMR6 和 TMR7)

这 2 个定时器主要是用于产生 DAC 触发信号，也可当成通用的 16 位时基计数器。

系统滴答定时器 (SysTick)

这个定时器是专用于实时操作系统，也可当成一个通用的递减计数器。它包含以下功能：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时，产生一个可屏蔽系统中断
- 可编程时钟源 (HCLK 或 HCLK / 8)

看门狗 (WDT)

看门狗由一个 12 位的递减计数器和一个 8 位的预分频器所组成，它的时钟源由低速内部时钟 (LICK) 提供；因为这个时钟独立于主时钟，所以它可运行于深睡眠和待机模式。它可以被当成看门狗用于在发生错误时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过用户系统数据可以配置看门狗是否自启动。在调试模式下，计数器可以被冻结。

窗口型看门狗 (WWDT)

窗口型看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生错误时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

增强型实时时钟 (ERTC) 和电池供电寄存器 (BPR)

电池供电域包括：

- 增强型实时时钟 (ERTC)
- 20 个 32 位电池供电寄存器 (BPR)

增强型实时时钟 (ERTC) 是一个独立的 BCD 定时器 / 计数器。它支持下列功能：

- 日历具有秒、分、小时 (12 或 24 小时格式)、星期几、日、月、年，格式为 BCD (二进制十进制数)。
- 提供二进制格式的亚秒值。
- 自动调整每月的天数为 28、29 (闰年)、30、还是 31 天。
- 可编程闹钟和可编程的周期性中断具有从深睡眠和待机模式唤醒的能力。
- 为补偿天然石英的偏差，可通过 512 Hz 的外部输出对 ERTC 进行校准。

两个闹钟寄存器用于在特定的时间生成闹钟，可单独屏蔽日历字段以比较闹钟。为生成周期性中断，使用了分辨率可编程的 16 位可编程二进制自动重载递减计数器，可从每隔 120 μ s 至每隔 36 小时自动唤醒和周期性闹铃。其它 32 位寄存器还包含可编程的闹钟亚秒、秒、分钟、小时、星期几和日期。

预分频器用于时间基准时钟，默认被配置为从 32.768 kHz 时钟生成 1 秒的时间基准。

电池供电寄存器 (BPR) 为 32 位寄存器存储 80 字节的用户应用数据。电池供电寄存器不会在系统复位或电源复位时复位，也不会在单片机从待机模式唤醒时复位。

注：ERTC，LEXT，LICK 和 BPR 相关功能在 V_{DD} 上电速率慢于 1.3 ms/V 时，代码必须等待 60 ms 并确认 V_{DD} 电压高于 2.57 V 后，才能对以上列举电池供电域功能相关寄存器进行存取；尔后即使 V_{DD} 电压又下降低于 2.57 V，仍可正常存取。

通信接口

串行外设接口 (SPI)

多达 3 个 SPI 接口，在主或从模式下，全双工和半双工的通信速率可达 32 兆位 / 秒，预分频器可产生多种主模式频率，可配置成每帧 8 位或 16 位。硬件的 CRC 产生 / 校验支持基本的 SD 卡、MMC 和 SDHC 模式。所有的 SPI 接口都可以使用 DMA 操作。

SPI 接口可配置为 TI 模式工作，用于主模式和从模式的通信。

内部集成音频接口 (I²S)

多达 3 个与 SPI 复用标准的半双工 I²S 接口可以工作于主或从模式。这 3 个接口可以配置为 16/24/32 位分辨率的输入或输出通道工作，支持音频采样频率从 8 kHz 到 192 kHz。当任一个 I²S 接口配置为主模式，它的主时钟可以以 256 倍采样频率输出。

所有 I²S 均可使用 DMA 控制器。

另外该系列单片机具有任意 2 个半双工 I²S 接口硬件组合成 1 个全双工 I²S 功能，其余 1 个 I²S 接口仍可独立操作或作为 SPI 使用。

通用同步 / 异步收发器 (USART)

该系列单片机中，内置了 8 个通用同步 / 异步收发器 (USART1 ~ 8)。

这 8 个 USART 接口提供异步通信、支持 IrDA SIR ENDEC 传输编解码、多处理器通信模式、单线半双工通信模式和 LIN 主 / 从功能、具有硬件的 CTS 和 RTS 信号管理、RS485 驱动使能信号、兼容 ISO7816 的智能卡和类似 SPI 通信模式。所有接口都可以使用 DMA 操作并可配置为 TX/RX 引脚互换。

USART1 和 USART6 通信速率可达 9.375 兆位 / 秒，其余 USART 可达 7.5 兆位 / 秒。

表 3. USART 功能比较

USART 功能	USART1/2/3/4	USART6	USART5/7/8
调制解调器的硬件流控	支持	—	仅支持 RTS
使用 DMA 连续通信	支持	支持	支持
多处理器通信	支持	支持	支持
同步模式	支持	支持	支持
智能卡模式	支持	支持	支持
单线半双工通	支持	支持	支持
红外 IrDA SIR 编解码	支持	支持	支持

USART 功能	USART1/2/3/4	USART6	USART5/7/8
LIN 模式	支持	支持	支持
TX/RX 交换	支持	支持	支持
RS-485 驱动使能	支持	支持	支持

内部集成电路总线 (I²C)

3 个 I²C 总线接口，能够工作于多主模式或从模式。它们支持标准模式 (standard mode，最高 100 kHz) 和快速模式 (fast mode，最高 400 kHz)，I²C1 和 I²C2 额外支持增强快速模式 (fast mode plus，最高 1 MHz)，部分 GPIO 支持超高电流吸入能力 20 mA。

I²C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器 / 校验器。

它们可以使用 DMA 操作并支持 SMBus 总线 2.0 版 / PMBus 总线。

控制器区域网络 (CAN)

2 个 CAN 接口兼容规范 2.0A 和 2.0B (主动)，位速率高达 1 兆位 / 秒。它可以接收和发送 11 位标识符的标准帧和 29 位标识符的扩展帧。具有 3 个发送邮箱，2 个具 3 级深度的接收缓存和 14 个可调节的滤波器。每个 CAN 控制器分配有 256 个字节的专用缓存，此专用缓存不和另一个 CAN 或其他硬件外设共享。

为保证传输品质，根据 CAN 2.0 协议规范的时钟准确度要求，CAN 的时钟源必须来自自由 HEXT 晶振为源头所产生的 PLL 时钟。

通用串行总线 On-The-Go 全速 (OTGFS)

该系列单片机内置 1 个集成了收发器 (PHY) 的 USB OTG 全速 (12 Mb/s) 设备和主机模式控制模块。它具有可由软件配置的端点设置，并支持挂起 / 恢复机制。OTGFS 模块要求专用的 48 MHz 时钟，用作主机模式时此时钟必须来自自由 HEXT 晶振为源头所产生的 PLL 时钟源，只有用作设备模式时此时钟可另选择直接来自 48 MHz HICK。

模块的主要特性有：

- 专用的 1280 字节缓存 (不和其他任何外设共享)
- 8 个 IN + 8 个 OUT 端点 (包含端点 0，设备模式)
- 16 个通道 (主机模式)
- SOF 和 OE 输出
- 兼容 USB2.0 协议，提供以下传输速率：
 - 主机模式：全速和低速
 - 设备模式：全速

红外发射器 (IRTMR)

该系列单片机提供了红外发射器。基于 TMR10、USART1 或 USART2 与 TMR11 间的内部连接。TMR11 用于提供载波频率，TMR10、USART1 或 USART2 提供要发送的主信号。

为生成红外遥控信号，必须正确配置 TMR10 通道 1 和 TMR11 通道 1 以生成正确的波形。所有标准红外脉冲调制模式都可通过编程两个定时器输出比较通道获得。

循环冗余校验 (CRC) 计算单元

CRC (循环冗余校验) 计算单元使用一个固定的多项式发生器, 从一个 32 位的数据字产生一个 CRC 码。在众多的应用中, 基于 CRC 的技术被用于验证数据传输或存储的一致性。

模拟 / 数字转换器 (ADC)

该系列单片机内置 1 个 12 位的模拟 / 数字转换器 (ADC), 具有以下功能:

- 可配置 12 位、10 位、8 位或 6 位分辨率, 带自校准功能
- 5.33 MSPS 的 12 位分辨率最高转换率, 可通过降低分辨率来缩短转换时间
- 共享多达 24 个外部通道, 其中有 6 个快速通道
- 2 个内部专用通道: 内部温度传感器 (V_{TS}) 和内部参考电压 (V_{INTRV})
- 可独立设置各通道采样时间
- 2 到 256 倍硬件过采样, 最高达等效 16 位分辨率
- 转换可通过以下方式启动:
 - 通过软件启动普通转换和抢占转换
 - 通过极性可配置的硬件触发器 (内部定时器事件或 GPIO 输入事件) 启动普通转换和抢占转换
- 转换模式:
 - ADC 可转换单个通道, 也可一系列通道序列转换
 - 序列模式会在每次触发时对选定的通道执行一次转换
 - 反复模式可连续转换选定的通道
 - 分割模式
- 电压监测功能允许非常精准地监视一路、多路或所有选中的通道, 当被监视的信号超出预置的阈值时, 将产生中断
- 可以使用 DMA 操作

温度传感器 (V_{TS})

温度传感器产生一个随温度线性变化的电压 V_{TS} 。温度传感器在内部被连接到 ADC1_IN16 的输入通道上, 用于将传感器的输出转换成数字数值。

由于温度传感器的偏移随微小制造差异而大幅变化, 不同颗芯片之间相异甚大, 因此内部温度传感器主要适合检测温度变化的应用, 而不是检测绝对温度的应用。如果需要读取精确温度, 则应使用外部温度传感器。

内部参考电压 (V_{INTRV})

内部参考电压 (V_{INTRV}) 为 ADC 提供了一个稳定的电压输出。 V_{INTRV} 内部连接到 ADC1_IN17 输入通道。

数字 / 模拟转换器 (DAC)

两个 12 位带缓冲的 DAC 通道可实现 2 路数字信号到 2 路模拟信号的转换并输出。

DAC 具有下述功能：

- 两个 DAC 转换器：各有一个输出通道
- 8 位或 12 位单调输出
- 12 位模式下的左右数据对齐
- 同步更新功能
- 产生噪声波
- 产生三角波
- 双 DAC 通道独立或同时转换
- 每个通道都可使用 DMA 功能
- 外部触发进行转换
- 输入参考电压为 V_{REF+}

该系列单片机中有数个触发 DAC 转换的输入。DAC 通道可以由定时器的更新输出触发，更新输出也可连接到不同的 DMA 通道。

串行线 (SWD) / JTAG 调试接口

内置的 Arm® SWJ-DP 接口，这是一个由串行线和 JTAG 调试端口结合而成，可以实现要连接到目标的串行线调试接口或 JTAG 接口。JTAG 的 TMS 和 TCK 信号分别与 SWDIO 和 SWCLK 共享引脚。另提供 SWO 功能作为调试时异步跟踪使用。

3 概述

单片机信息

表 4. 特性及外设列表

型号		HT32F49153		HT32F49163	
频率 (MHz)		150			
闪存 (K 字节)		128		256	
SRAM (K 字节)		48			
定时器	高级	1	1	1	1
	32 位通用	1	1	1	1
	16 位通用	8	8	8	8
	基本	2	2	2	2
	SysTick	1	1	1	1
	WDT	1	1	1	1
	WWDT	1	1	1	1
	ERTC	1	1	1	1
通信接口	I ² C	3	3	3	3
	SPI ⁽²⁾	3	3	3	3
	I ² S (半双工) ⁽²⁾⁽³⁾	3	3	3	3
	USART + UART	4 + 3 ⁽⁴⁾	5 + 3 ⁽⁵⁾	4 + 3 ⁽⁴⁾	5 + 3 ⁽⁵⁾
	CAN	2	2	2	2
	OTGFS	1	1	1	1
	红外发射器	1	1	1	1
模拟	12 位 ADC 转换器 / 外部通道数	1			
		11 / 17	23 / 24	11 / 17	23 / 24
	12 位 DAC 转换器	2			
XMC		—	1 ⁽¹⁾	—	1 ⁽¹⁾
GPIO		27 / 39	53 / 87	27 / 39	53 / 87
工作温度		-40 ~ +105 °C			
封装形式		32-pin QFN, 48-pin LQFP	64-pin LQFP, 100-pin LQFP	32-pin QFN, 48-pin LQFP	64-pin LQFP, 100-pin LQFP

注：1. 64-pin LQFP 封装 XMC 仅支持推动 8 位模式 LCD 屏。

2. 半双工 I²S 和 SPI 功能复用。

3. 任意 2 个半双工 I²S 可由硬件组合成 1 个全双工 I²S。

4. 48 引脚以下封装没有 USART8，而 USART5/6/7 因缺少 CK 引脚，只能作 UART 使用。

5. 64 引脚封装 USART5/7/8 因缺少 CK 引脚，只能作 UART 使用。

方框图

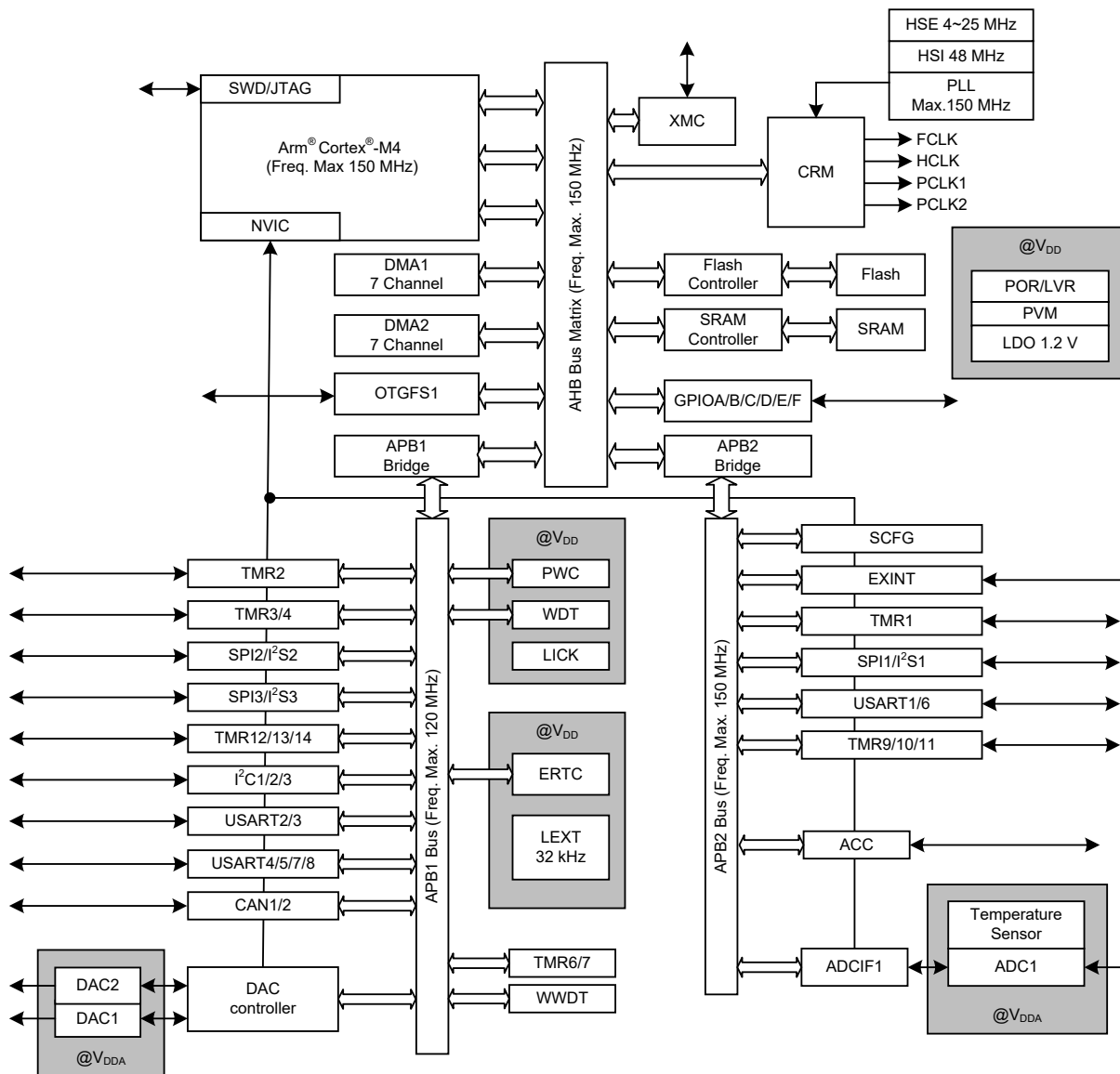


图 1. 方框图

存储器映射

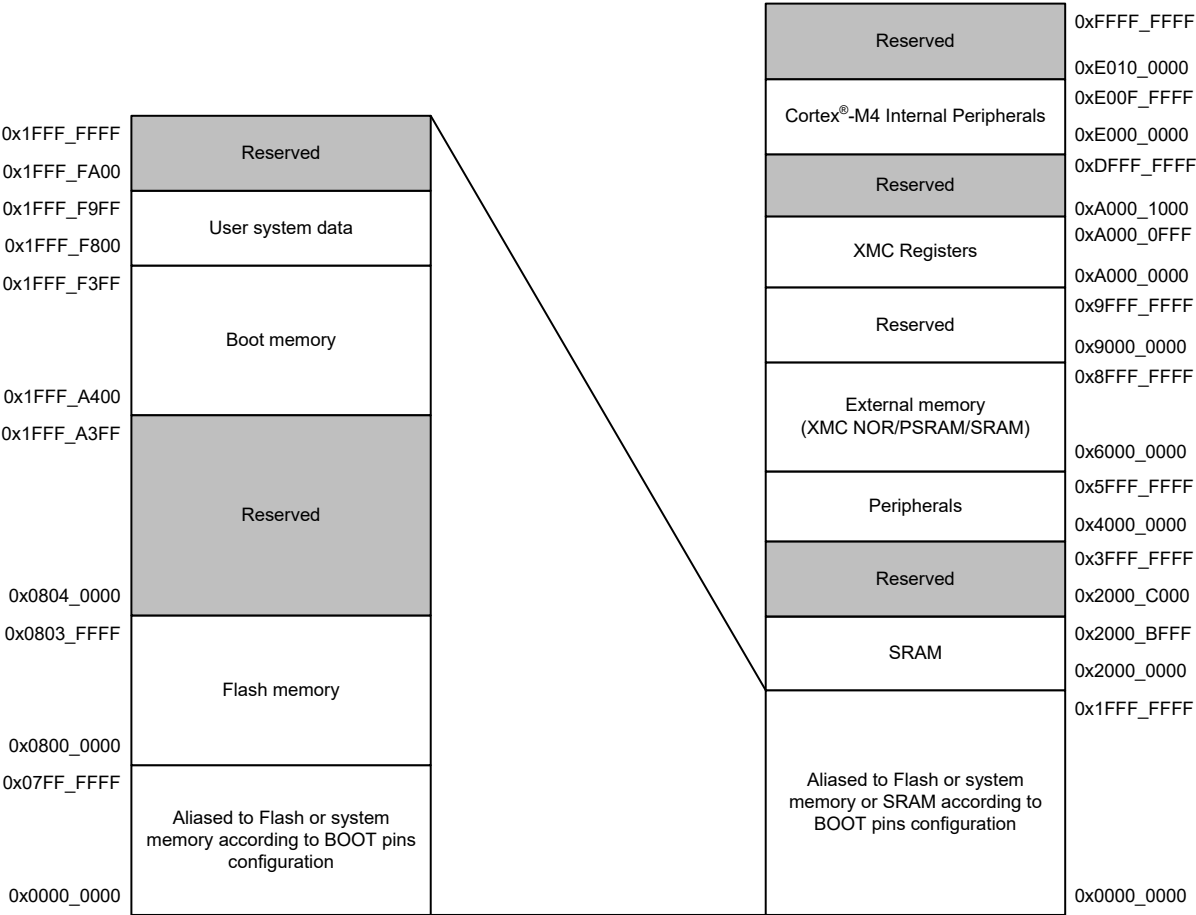


图 2. 存储器映射

概述

表 5. 外设边界地址

总线	边界地址	外设
AHB	0xC000 0000 - 0xFFFF FFFF	保留
	0xB000 0000 - 0xBFFF FFFF	保留
	0xA000 1000 - 0xAFFF FFFF	保留
	0xA000 0000 - 0xA000 0FFF	XMC_REG
	0x9000 0000 - 0x9FFF FFFF	保留
	0x6000 0000 - 0x8FFF FFFF	XMC
	0x5004 0000 - 0x5FFF FFFF	保留
	0x5000 0000 - 0x5003 FFFF	OTG_FS1
	0x4002 6800 - 0x4FFF FFFF	保留
	0x4002 6400 - 0x4002 67FF	DMA2
	0x4002 6000 - 0x4002 63FF	DMA1
	0x4002 4000 - 0x4002 5FFF	保留
	0x4002 3C00 - 0x4002 3FFF	闪存接口 (FLASH)
	0x4002 3800 - 0x4002 3BFF	时钟复位管理 (CRM)
	0x4002 3400 - 0x4002 37FF	保留
	0x4002 3000 - 0x4002 33FF	CRC
	0x4002 2000 - 0x4002 2FFF	保留
	0x4002 1C00 - 0x4002 1FFF	保留
	0x4002 1800 - 0x4002 1BFF	保留
	0x4002 1400 - 0x4002 17FF	GPIO 端口 F
	0x4002 1000 - 0x4002 13FF	GPIO 端口 E
	0x4002 0C00 - 0x4002 0FFF	GPIO 端口 D
	0x4002 0800 - 0x4002 0BFF	GPIO 端口 C
	0x4002 0400 - 0x4002 07FF	GPIO 端口 B
	0x4002 0000 - 0x4002 03FF	GPIO 端口 A
APB2	0x4001 8000 - 0x4001 FFFF	保留
	0x4001 7C00 - 0x4001 7FFF	保留
	0x4001 7800 - 0x4001 7BFF	保留
	0x4001 7400 - 0x4001 77FF	ACC
	0x4001 4C00 - 0x4001 73FF	保留
	0x4001 4800 - 0x4001 4BFF	TMR11 定时器
	0x4001 4400 - 0x4001 47FF	TMR10 定时器
	0x4001 4000 - 0x4001 43FF	TMR9 定时器
	0x4001 3C00 - 0x4001 3FFF	EXINT
	0x4001 3800 - 0x4001 3BFF	SCFG
	0x4001 3400 - 0x4001 37FF	保留
	0x4001 3000 - 0x4001 33FF	SPI1/I²S1
	0x4001 2400 - 0x4001 2FFF	保留
	0x4001 2000 - 0x4001 23FF	ADC
	0x4001 1800 - 0x4001 1FFF	保留

总线	边界地址	外设
APB2	0x4001 1400 - 0x4001 17FF	USART6
	0x4001 1000 - 0x4001 13FF	USART1
	0x4001 0800 - 0x4001 0FFF	保留
	0x4001 0400 - 0x4001 07FF	保留
	0x4001 0000 - 0x4001 03FF	TMR1 定时器
APB1	0x4000 8000 - 0x4000 FFFF	保留
	0x4000 7C00 - 0x4000 7FFF	USART8
	0x4000 7800 - 0x4000 7BFF	USART7
	0x4000 7400 - 0x4000 77FF	DAC
	0x4000 7000 - 0x4000 73FF	电源控制 (PWC)
	0x4000 6C00 - 0x4000 6FFF	保留
	0x4000 6800 - 0x4000 6BFF	CAN2
	0x4000 6400 - 0x4000 67FF	CAN1
	0x4000 6000 - 0x4000 63FF	保留
	0x4000 5C00 - 0x4000 5FFF	I²C3
	0x4000 5800 - 0x4000 5BFF	I²C2
	0x4000 5400 - 0x4000 57FF	I²C1
	0x4000 5000 - 0x4000 53FF	USART5
	0x4000 4C00 - 0x4000 4FFF	USART4
	0x4000 4800 - 0x4000 4BFF	USART3
	0x4000 4400 - 0x4000 47FF	USART2
	0x4000 4000 - 0x4000 43FF	保留
	0x4000 3C00 - 0x4000 3FFF	SPI3/I²S3
	0x4000 3800 - 0x4000 3BFF	SPI2/I²S2
	0x4000 3400 - 0x4000 37FF	保留
	0x4000 3000 - 0x4000 33FF	看门狗定时器 (WDT)
	0x4000 2C00 - 0x4000 2FFF	窗口型看门狗定时器 (WWDT)
	0x4000 2800 - 0x4000 2BFF	ERTC
	0x4000 2400 - 0x4000 27FF	保留
	0x4000 2000 - 0x4000 23FF	TMR14 定时器
	0x4000 1C00 - 0x4000 1FFF	TMR13 定时器
	0x4000 1800 - 0x4000 1BFF	TMR12 定时器
	0x4000 1400 - 0x4000 17FF	TMR7 定时器
	0x4000 1000 - 0x4000 13FF	TMR6 定时器
	0x4000 0C00 - 0x4000 0FFF	保留
	0x4000 0800 - 0x4000 0BFF	TMR4 定时器
	0x4000 0400 - 0x4000 07FF	TMR3 定时器
	0x4000 0000 - 0x4000 03FF	TMR2 定时器

时钟结构

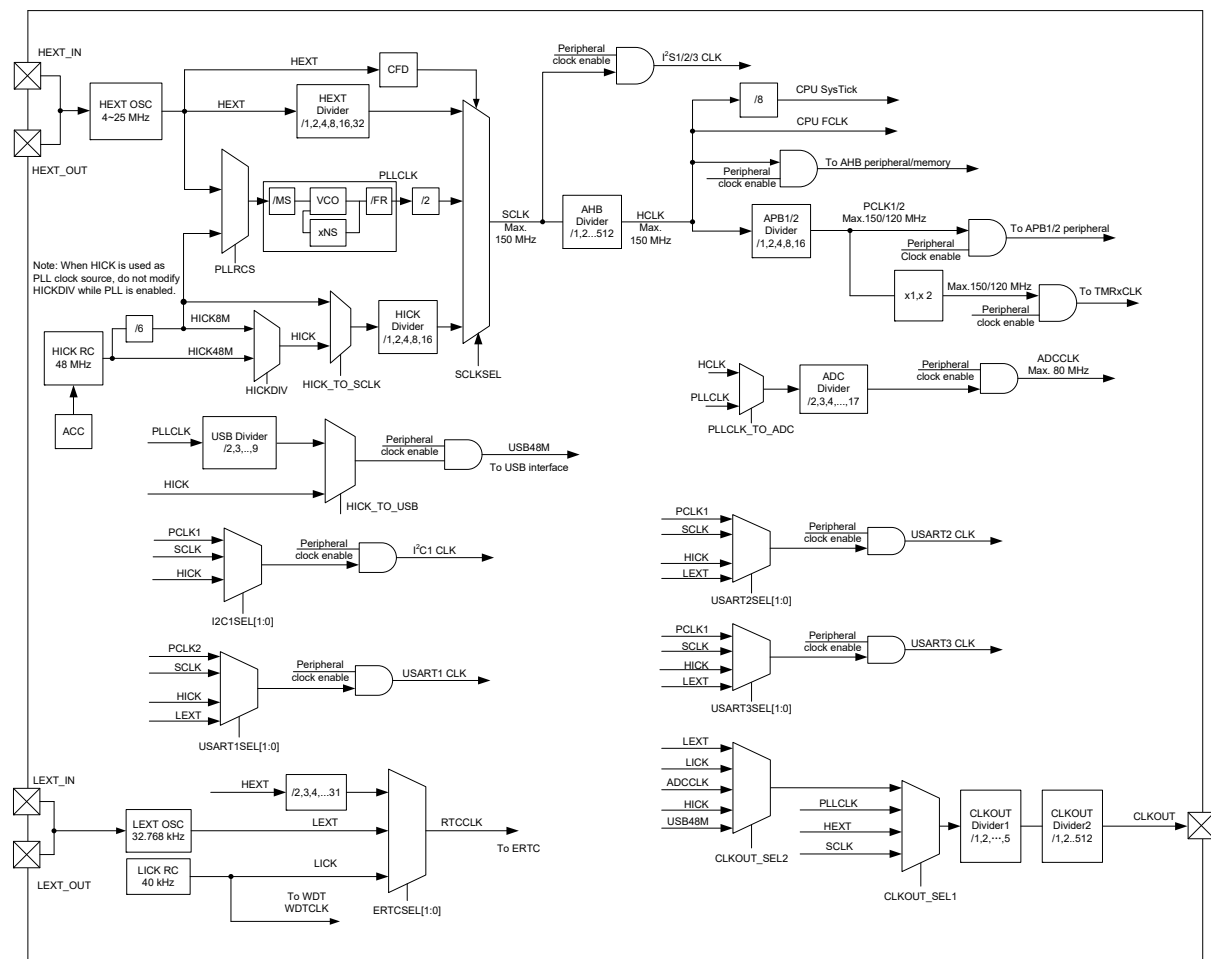


图 3. 时钟结构

4 引脚图

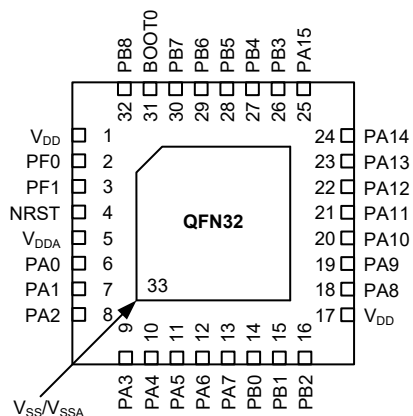


图 4. 32-pin QFN 引脚分布

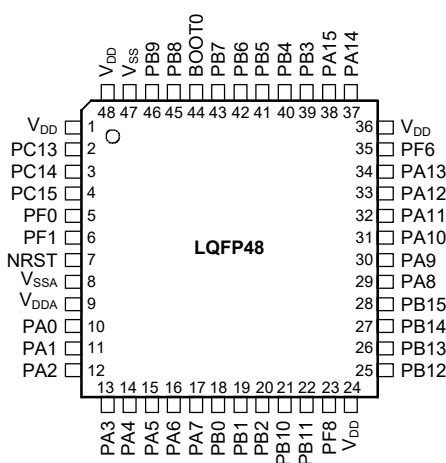


图 5. 48-pin LQFP 引脚分布

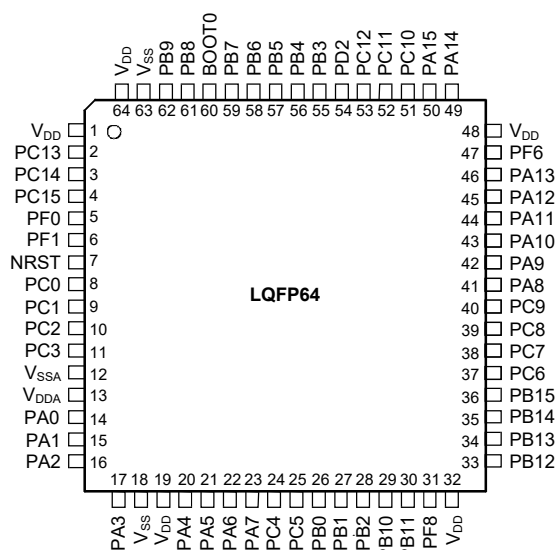


图 6. 64-pin LQFP 引脚分布

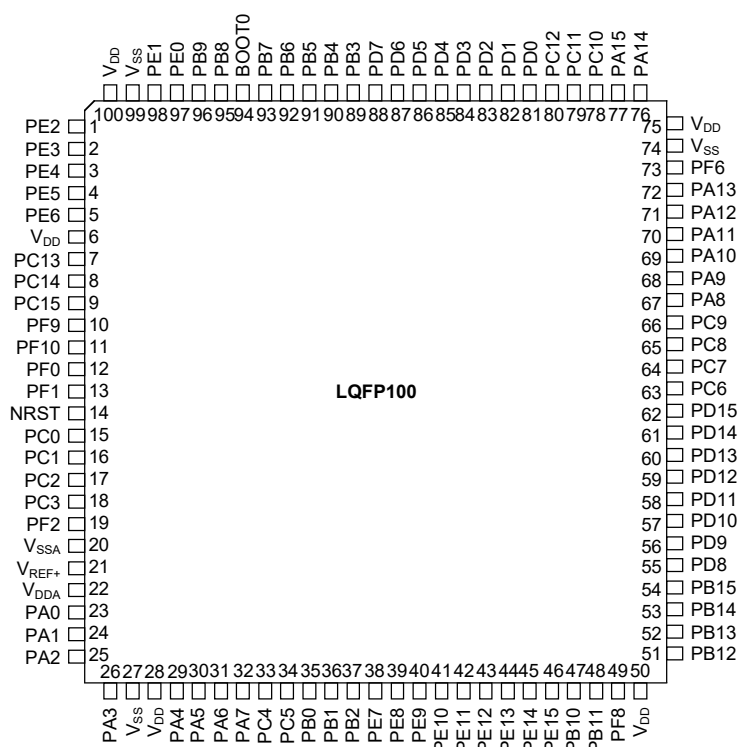


图 7. 100-pin LQFP 引脚分布

下表为 HT32F49153/HT32F49163 引脚定义，“—”表示对应封装下没有该引脚。除非在引脚名下面的括号中特别说明，复位期间和复位后的引脚功能与实际引脚名相同。除非特别说明，否则在复位期间和复位后所有 GPIO 都默认为浮空输入。引脚复用是通过 GPIOx_MUXx 寄存器选择功能，附加功能是通过外设寄存器直接选择 / 启用的功能。

表 6. 引脚定义

引脚号				引脚名称 (复位后功能)	引脚 类型 ⁽¹⁾	GPIO 结构 ⁽²⁾	复用功能 ⁽³⁾	附加功能
32 QFN	48 LQFP	64 LQFP	100 LQFP					
—	—	—	1	PE2	I/O	FT	TMR3_EXT / TMR9_BRK / TMR14_CH1C / XMC_A23	—
—	—	—	2	PE3	I/O	FT	TMR3_CH1 / TMR9_CH2C / TMR14_BRK / XMC_A19	—
—	—	—	3	PE4	I/O	FT	TMR3_CH2 / TMR9_CH1C / XMC_A20	—
—	—	—	4	PE5	I/O	FT	TMR3_CH3 / TMR9_CH1 / XMC_A21	—
—	—	—	5	PE6	I/O	FT	TMR3_CH4 / TMR9_CH2 / XMC_A22	—
—	1	1	6	V _{DD}	S	—	数字电源	—
—	2	2	7	PC13 ⁽⁴⁾	I/O	FT	—	ERTC_OUT / TAMP1 / WKUP2
—	3	3	8	PC14 ⁽⁴⁾	I/O	TC	—	LEXT_IN
—	4	4	9	PC15 ⁽⁴⁾	I/O	TC	—	LEXT_OUT
—	—	—	10	PF9	I/O	FT	TMR4_CH1 / USART6_TX / TMR12_CH1	—
—	—	—	11	PF10	I/O	FT	TMR4_CH2 / USART6_RX / TMR12_CH2	—
2	5	5	12	PF0	I/O	TC	TMR1_CH1 / I2C1_SDA	HEXT_IN
3	6	6	13	PF1	I/O	TC	TMR1_CH2C / I2C1_SCL / SPI2_CS / I2S2_WS	HEXT_OUT
4	7	7	14	NRST	I/O	R	单片机复位输入 / 内部复位输出 (低电平有效)	—
—	—	8	15	PC0	I/O	FTa	I2C3_SCL / I2C1_SCL / USART6_TX / USART7_TX	ADC1_IN10 ⁽⁵⁾
—	—	9	16	PC1	I/O	FTa	I2C3_SDA / SPI3_MOSI / I2S3_SD / SPI2_MOSI / I2S2_SD / I2C1_SDA / USART6_RX / USART7_RX	ADC1_IN11 ⁽⁵⁾
—	—	10	17	PC2	I/O	FTa	SPI2_MISO / I2S2_MCK / I2S_SDEXT / USART8_TX / XMC_NWE	ADC1_IN12 ⁽⁵⁾
—	—	11	18	PC3	I/O	FTa	SPI2_MOSI / I2S2_SD / USART8_RX / XMC_A0	ADC1_IN13 ⁽⁵⁾
—	—	—	19	PF2	I/O	FT	SPI2_SCK / I2S2_CK / USART7_CK_RTS_DE	—
—	8	12	20	V _{SSA}	S	—	模拟地	—
—	—	—	21	V _{REF+}	S	—	正参考电压	—
5	9	13	22	V _{DDA}	S	—	模拟电源	—
6	10	14	23	PA0	I/O	FTa	TMR2_CH1 / TMR2_EXT / TMR9_CH2C / I2C2_SCL / USART2_RX / USART2_CTS / USART4_TX	ADC1_IN0 ⁽⁵⁾ / TAMP2 / WKUP1
7	11	15	24	PA1	I/O	FTa	TMR2_CH2 / TMR9_CH1C / I2C2_SDA / I2C1_SMBA / SPI3_CS / I2S3_WS / USART2_RTS_DE / USART4_RX	ADC1_IN1 ⁽⁵⁾
8	12	16	25	PA2	I/O	FTa	TMR2_CH3 / TMR9_CH1 / USART2_TX / CAN2_RX / XMC_D4	ADC1_IN2
9	13	17	26	PA3	I/O	FTa	TMR2_CH4 / TMR9_CH2 / I2S2_MCK / USART2_RX / CAN2_TX / XMC_D5	ADC1_IN3
—	—	18	27	V _{SS}	S	—	数字地	—
—	—	19	28	V _{DD}	S	—	数字电源	—
10	14	20	29	PA4	I/O	FTa	I2C1_SCL / SPI1_CS / I2S1_WS / SPI3_CS / I2S3_WS / USART2_CK / USART6_TX / TMR14_CH1 / OTGFS1_OE / XMC_D6	ADC1_IN4 / DAC1_OUT
11	15	21	30	PA5	I/O	FTa	TMR2_CH1 / TMR2_EXT / SPI1_SCK / I2S1_CK / USART3_CK / USART3_RX / USART6_RX / TMR13_CH1C / XMC_D7	ADC1_IN5 / DAC2_OUT
12	16	22	31	PA6	I/O	FTa	TMR1_BRK / TMR3_CH1 / SPI1_MISO / I2S1_MCK / I2S2_MCK / USART3_CTS / USART3_RX / TMR13_CH1	ADC1_IN6
13	17	23	32	PA7	I/O	FTa	TMR1_CH1C / TMR3_CH2 / I2C3_SCL / SPI1_MOSI / I2S1_SD / USART3_TX / TMR14_CH1	ADC1_IN7
—	—	24	33	PC4	I/O	FTa	TMR9_CH1 / I2S1_MCK / USART3_TX / TMR13_CH1 / XMC_NE4	ADC1_IN14

引脚号				引脚名称 (复位后功能)	引脚 类型 ⁽¹⁾	GPIO 结构 ⁽²⁾	复用功能 ⁽³⁾	附加功能
32 QFN	48 LQFP	64 LQFP	100 LQFP					
—	—	25	34	PC5	I/O	FTa	TMR9_CH2 / I2C1_SMBA / USART3_RX / TMR13_CH1C / XMC_NOE	ADC1_IN15
14	18	26	35	PB0	I/O	FTa	TMR1_CH2C / TMR3_CH3 / SPI1_MISO / I2S1_MCK / SPI3_MOSI / I2S3_SD / USART2_RX / USART3_CK	ADC1_IN8
15	19	27	36	PB1	I/O	FTa	TMR1_CH3C / TMR3_CH4 / SPI1_MOSI / I2S1_SD / SPI2_SCK / I2S2_CK / USART2_CK / USART3_RTS_DE / TMR14_CH1	ADC1_IN9
16	20	28	37	PB2	I/O	FTa	TMR2_CH4 / TMR3_EXT / I2C3_SMBA / SPI3_MOSI / I2S3_SD / TMR14_CH1C	ADC1_IN20
—	—	—	38	PE7	I/O	FTa	TMR1_EXT / USART5_CK / USART7_RX / XMC_D4	ADC1_IN27
—	—	—	39	PE8	I/O	FT	TMR1_CH1C / USART4_TX / USART7_TX / XMC_D5	—
—	—	—	40	PE9	I/O	FT	TMR1_CH1 / USART4_RX / XMC_D6	—
—	—	—	41	PE10	I/O	FT	TMR1_CH2C / USART5_TX / XMC_D7	—
—	—	—	42	PE11	I/O	FT	TMR1_CH2 / USART5_RX / XMC_D8	—
—	—	—	43	PE12	I/O	FT	TMR1_CH3C / SPI1_CS / I2S1_WS / XMC_D9	—
—	—	—	44	PE13	I/O	FT	TMR1_CH3 / SPI1_SCK / I2S1_CK / XMC_D10	—
—	—	—	45	PE14	I/O	FT	TMR1_CH4 / SPI1_MISO / I2S1_MCK / XMC_D11	—
—	—	—	46	PE15	I/O	FT	TMR1_BRK / SPI1_MOSI / I2S1_SD / XMC_D12	—
—	21	29	47	PB10	I/O	FTa	TMR2_CH3 / I2C2_SCL / SPI2_SCK / I2S2_CK / I2S3_MCK / USART3_TX / XMC_NOE	ADC1_IN21
—	22	30	48	PB11	I/O	FTa	TMR2_CH4 / I2C2_SDA / USART3_RX / TMR13_BRK	ADC1_IN22
—	23	31	49	PF8	I/O	FT	TMR2_CH2 / I2C2_SDA / USART7_TX	—
17	24	32	50	V _{DD}	S	—	数字电源	
—	25	33	51	PB12	I/O	FTa	TMR1_BRK / TMR12_BRK / I2C2_SMBA / SPI2_CS / I2S2_WS / SPI3_SCK / I2S3_CK / USART3_CK / CNA2_RX / XMC_D13	ADC1_IN23
—	26	34	52	PB13	I/O	FTa	CLKOUT / TMR1_CH1C / TMR12_CH1C / I2C3_SMBA / SPI2_SCK / I2S2_CK / I2C3_SCL / USART3_CTS / CAN2_TX	ADC1_IN24
—	27	35	53	PB14	I/O	FTa	TMR1_CH2C / I2C3_SDA / SPI2_MISO / I2S2_MCK / I2S_SDEXT / USART3_RTS_DE / TMR12_CH1 / XMC_D0	ADC1_IN25
—	28	36	54	PB15	I/O	FTa	ERTC_REFIN / TMR1_CH3C / TMR12_CH1C / I2C3_SCL / SPI2_MOSI / I2S2_SD / TMR12_CH2	ADC1_IN26 / WKUP7
—	—	—	55	PD8	I/O	FT	USART3_TX / TMR12_CH2C / XMC_D13	—
—	—	—	56	PD9	I/O	FT	USART3_RX / XMC_D14	—
—	—	—	57	PD10	I/O	FT	USART3_CK / USART4_TX / XMC_D15	—
—	—	—	58	PD11	I/O	FT	I2C2_SMBA / USART3_CTS / XMC_A16	—
—	—	—	59	PD12	I/O	FTf	TMR4_CH1 / I2C2_SCL / USART3_RTS_DE / USART8_CK_RTS_DE / XMC_A17	—
—	—	—	60	PD13	I/O	FTf	TMR4_CH2 / I2C2_SDA / USART8_TX / XMC_A18	—
—	—	—	61	PD14	I/O	FT	TMR4_CH3 / I2C3_SCL / USART8_RX / XMC_D0	—
—	—	—	62	PD15	I/O	FT	TMR4_CH4 / I2C3_SDA / USART7_CK_RTS_DE / XMC_D1	—
—	—	37	63	PC6	I/O	FT	TMR1_CH1 / TMR3_CH1 / I2C1_SCL / I2S2_MCK / USART6_TX / USART7_TX / XMC_D1	—
—	—	38	64	PC7	I/O	FT	TMR1_CH2 / TMR3_CH2 / I2C1_SDA / SPI2_SCK / I2S2_CK / I2S3_MCK / USART6_RX / USART7_RX / XMC_NADV	—
—	—	39	65	PC8	I/O	FT	TMR1_CH3 / TMR3_CH3 / USART8_TX / USART6_CK	—
—	—	40	66	PC9	I/O	FT	CLKOUT / TMR1_CH4 / TMR3_CH4 / I2C3_SDA / USART8_RX / I2C1_SDA / OTGFS1_OE	—
18	29	41	67	PA8	I/O	FT	CLKOUT / TMR1_CH1 / TMR9_BRK / I2C3_SCL / USART1_CK / USART2_TX / USART7_RX / OTGFS1_SOF	—
19	30	42	68	PA9	I/O	FT	CLKOUT / TMR1_CH2 / I2C3_SMBA / SPI2_SCK / I2S2_CK / USART1_TX / I2C1_SCL / TMR14_BRK / OTGFS1_VBUS	—
20	31	43	69	PA10	I/O	FT	ERTC_REFIN / TMR1_CH3 / SPI2_MOSI / I2S2_SD / USART1_RX / I2C1_SDA / OTGFS1_ID	—

引脚号				引脚名称 (复位后功能)	引脚 类型 ⁽¹⁾	GPIO 结构 ⁽²⁾	复用功能 ⁽³⁾	附加功能
32 QFN	48 LQFP	64 LQFP	100 LQFP					
21	32	44	70	PA11	I/O	TC	TMR1_CH4 / I2C2_SCL / SPI2_CS / I2S2_WS / I2C1_SMBA / USART1_CTS / USART6_TX / CAN1_RX	OTGFS1_D-
22	33	45	71	PA12	I/O	TC	TMR1_EXT / I2C2_SDA / SPI2_MISO / I2S2_MCK / USART1_RTS_DE / USART6_RX / CAN1_TX	OTGFS1_D+
23	34	46	72	PA13 (JTMS / SWDIO)	I/O	FT	PA13 / IR_OUT / I2C1_SDA / I2S_SDEXT / SPI3_MISO / I2S3_MCK / OTGFS1_OE	—
—	35	47	73	PF6	I/O	FT	TMR2_CH1 / I2C2_SCL / USART7_RX	—
—	—	—	74	V _{SS}	S	—	数字地	—
—	36	48	75	V _{DD}	S	—	数字电源	—
24	37	49	76	PA14 (JTCK / SWCLK)	I/O	FT	PA14 / I2C1_SMBA / SPI3_MOSI / I2S3_SD / USART2_TX	—
25	38	50	77	PA15 (JTDI)	I/O	FT	PA15 / TMR2_CH1 / TMR2_EXT / SPI1_CS / I2S1_WS / SPI3_CS / I2S3_WS / USART1_TX / USART2_RX / USART7_TX / USART4_RTS_DE / XMC_NE2	—
—	—	51	78	PC10	I/O	FT	SPI3_SCK / I2S3_CK / USART3_TX / USART4_TX	—
—	—	52	79	PC11	I/O	FT	I2S_SDEXT / SPI3_MISO / I2S3_MCK / USART3_RX / USART4_RX / XMC_D2	—
—	—	53	80	PC12	I/O	FT	TMR11_CH1 / I2C2_SDA / SPI3_MOSI / I2S3_SD / USART3_CK / USART4_CK / USART5_TX / XMC_D3	—
—	—	—	81	PD0	I/O	FT	SPI3_MOSI / I2S3_SD / SPI2_CS / I2S2_WS / USART4_RX / CAN1_RX / XMC_D2	—
—	—	—	82	PD1	I/O	FT	SPI2_SCK / I2S2_CK / SPI2_CS / I2S2_WS / USART4_TX / CAN1_TX / XMC_D3	—
—	—	54	83	PD2	I/O	FT	TMR3_EXT / USART3_RTS_DE / USART5_RX / XMC_NWE	—
—	—	—	84	PD3	I/O	FT	SPI2_SCK / I2S2_CK / SPI2_MISO / I2S2_MCK / USART2_CTS / XMC_CLK	—
—	—	—	85	PD4	I/O	FT	SPI2_MOSI / I2S2_SD / USART2_RTS_DE / XMC_NOE	—
—	—	—	86	PD5	I/O	FT	USART2_TX / XMC_NWE	—
—	—	—	87	PD6	I/O	FT	SPI3_MOSI / I2S3_SD / USART2_RX / XMC_NWAIT	—
—	—	—	88	PD7	I/O	FT	USART2_CK / XMC_NE1	—
26	39	55	89	PB3 (JTDO)	I/O	FT	PB3 / SWO / TMR2_CH2 / I2C2_SDA / SPI1_SCK / I2S1_CK / SPI3_SCK / I2S3_CK / USART1_RX / USART1_RTS_DE / USART7_RX / USART5_TX	—
27	40	56	90	PB4 (NJTRST)	I/O	FT	PB4 / TMR3_CH1 / TMR11_BRK / I2C3_SDA / SPI1_MISO / I2S1_MCK / SPI3_MISO / I2S3_MCK / USART1_CTS / I2S_SDEXT / USART7_TX / USART5_RX	—
28	41	57	91	PB5	I/O	FT	TMR3_CH2 / TMR10_BRK / I2C3_SMBA / SPI1_MOSI / I2S1_SD / SPI3_MOSI / I2S3_SD / USART1_CK / USART5_RX / CNA2_RX / USART5_RTS_DE	WKUP6
29	42	58	92	PB6	I/O	FT	TMR4_CH1 / TMR10_CH1C / I2C1_SCL / I2S1_MCK / SPI3_CS / I2S3_WS / USART1_TX / USART5_TX / CNA2_TX / USART4_CK	—
30	43	59	93	PB7	I/O	FT	TMR4_CH2 / TMR11_CH1C / I2C1_SDA / SPI3_SCK / I2S3_CK / USART1_RX / USART4_CTS / XMC_NADV	—
31	44	60	94	BOOT0	I	B	启动模式选择 0	—
32	45	61	95	PB8	I/O	FT	TMR2_CH1 / TMR2_EXT / TRM4_CH3 / TMR10_CH1 / I2C1_SCL / SPI3_MISO / I2S3_MCK / USART1_TX / USART5_RX / CAN1_RX	—
—	46	62	96	PB9	I/O	FT	IR_OUT / TMR2_CH2 / TMR4_CH4 / TMR11_CH1 / I2C1_SDA / SPI2_CS / I2S2_WS / SPI3_MOSI / I2S3_SD / I2C2_SDA / USART5_TX / CAN1_TX / I2S1_MCK	—
—	—	—	97	PE0	I/O	FT	TMR4_EXT / USART8_RX / TMR13_CH1 / XMC_LB	—
—	—	—	98	PE1	I/O	FT	TMR1_CH2C / USART8_TX / TMR14_CH1 / XMC_UB	—
—	47	63	99	V _{SS}	S	—	数字地	—
1	48	64	100	V _{DD}	S	—	数字电源	—
—	—/49	—	—	EPAD (V _{SS})	S	—	数字地	—

引脚号				引脚名称 (复位后功能)	引脚 类型 ⁽¹⁾	GPIO 结构 ⁽²⁾	复用功能 ⁽³⁾	附加功能
32 QFN	48 LQFP	64 LQFP	100 LQFP					
33	—	—	—	EPAD (V _{SS} / V _{SSA})	S	—	数字地 / 模拟地	

注：1. I = 输入，O = 输出，S = 电源。

2. TC = 标准电平，FT = 一般 5 V 电平容忍，FTa = 带模拟功能 5 V 电平容忍，FTf = 5 V 电平容忍带 20 mA 吸入能力，R = 配有内置弱上拉电阻的双向复位引脚，B = 配有内置弱下拉电阻的专用 BOOT0 引脚。其中 FTa 引脚设置为输入浮空、输入上拉或输入下拉时，具有 5 V 电平容忍特性；设置为模拟模式时，不具 5 V 电平容忍特性，此时输入电平必须小于 V_{DD} + 0.3 V。

3. 可用功能取决于所选型号。任一 GPIO 皆拥有 EVENTOUT 功能。

4. PC13，PC14 和 PC15 引脚通过电源开关进行供电，而这个电源开关只能够推动有限的电流 (3 mA)，因此这三个引脚作为输出引脚时不能作为电流源 (如驱动 LED)。

5. PA0，PA1，PC0，PC1，PC2 和 PC3 为 ADC 快速通道；其它为慢速通道。

5 电气特性

测试条件

最小和最大数值

所有最小和最大值是在最坏的条件下得出，在每个表格下方的注解中说明为通过综合评估、设计模拟和 / 或工艺特性，以其平均值 ± 3 倍标准差 ($\text{mean} \pm 3\sigma$) 得到的数据，不会在生产线上进行测试。

典型数值

典型数据是基于 $T_A = 25^\circ\text{C}$ 和 $V_{DD} = 3.3\text{ V}$ 。

典型曲线

典型曲线仅用于设计指导而未经测试。

供电方案

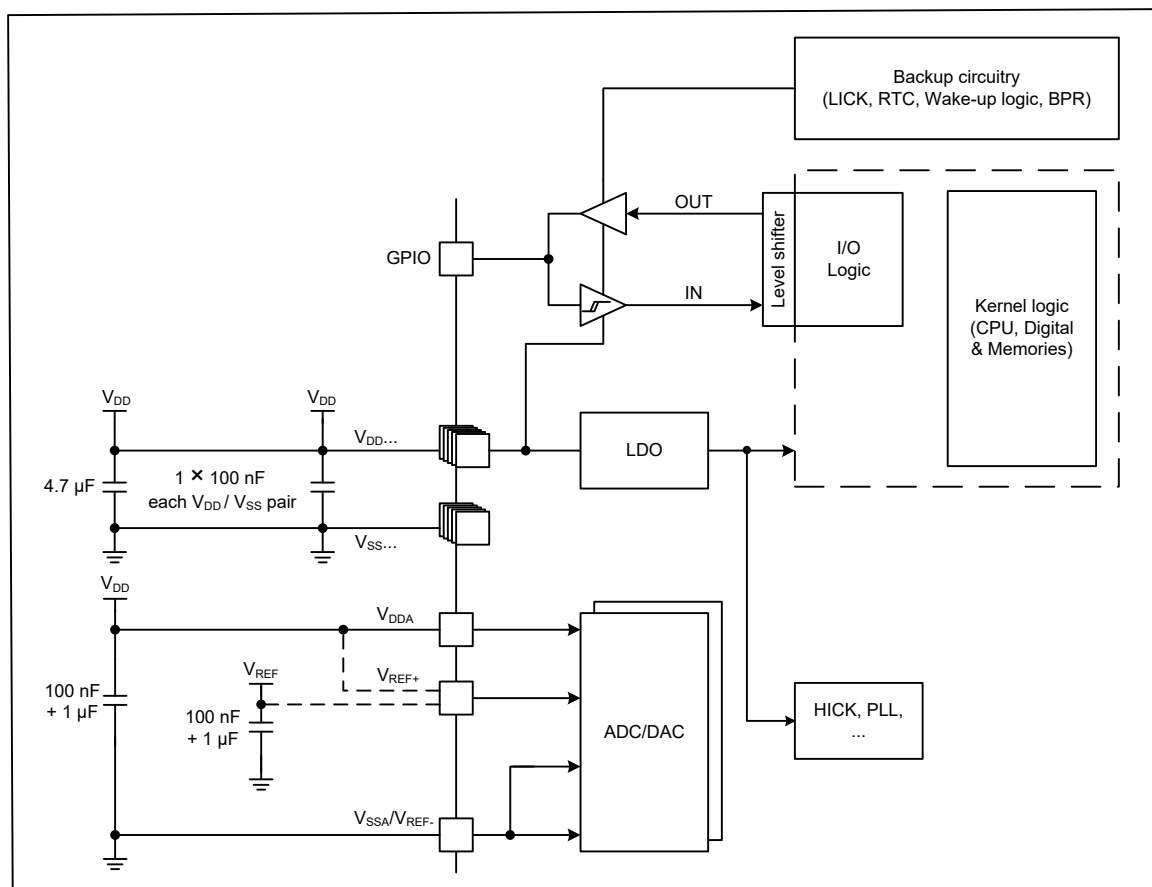


图 8. 供电方案

绝对最大值

额定值

加在单片机上的载荷如果超过「绝对最大额定值」列表 (表 7, 表 8, 表 9) 中给出的值, 可能会导致单片机永久性地损坏。这里只是给出能承受的最大载荷, 并不意味着在此条件下单片机的功能性操作无误。单片机长期工作在最大值条件下会影响单片机的可靠性。

表 7. 电压特性

符号	参数	最小值	最大值	单位
V _{DDx} -V _{SS}	外部主供电电压	-0.3	4.0	V
V _{IN}	在 FT，FTf 引脚上的输入电压	V _{SS} - 0.3	6.0	
	在 FTa 引脚上的输入电压 (引脚设置为输入浮空、输入上拉或输入下拉模式)			
	在 TC 引脚上的输入电压	V _{SS} - 0.3	4.0	
	在 FTa 引脚上的输入电压 (引脚设置为模拟模式)			
ΔV _{DDx}	不同供电引脚之间的电压差	—	50	mV
V _{SSx} -V _{SS}	不同接地引脚之间的电压差	—	50	

表 8. 电流特性

符号	参数	最大值	单位
I_{VDD}	经过 V_{DD} 电源线的总电流 (源电流)	150	mA
I_{VSS}	经过 V_{SS} 地线的总电流 (灌电流)	150	
I_{IO}	任意 GPIO 和控制引脚上的输出灌电流	25	
	任意 GPIO 和控制引脚上的输出源电流	-25	

表 9. 温度特性

符号	参数	数值	单位
T_{STG}	储存温度范围	-60 ~ +150	°C
T_J	最大结温度	125	

电气敏感性

基于三个不同的测试 (HBM, CDM 和 LU), 使用标准的测量方法, 对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电 (ESD)

静电放电施加到所有样品的所有引脚上。这个测试符合 JS-001-2017/JS-002-2018 标准。

表 10. 静电放电值

符号	参数	条件	类型	最小值	单位
$V_{ESD(HBM)}$	静电放电电压 (人体模型)	$T_A = +25\text{ °C}$, 符合 JS-001-2017	3A	±4000	V
$V_{ESD(CDM)}$	静电放电电压 (充电设备模型)	$T_A = +25\text{ °C}$, 符合 JS-002-2018	III	±1000	

静态栓锁 (Static latch-up)

为了评估栓锁性能需要在样品上进行符合 EIA/JESD78E 集成电路栓锁标准的互补静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 GPIO 引脚上注入电流。

表 11. 静态栓锁值

符号	参数	条件	级别 / 类型
LU	静态栓锁类型	T _A = +105 °C，符合 EIA/JESD78E	II 类 A (±200 mA)

通用工作条件

表 12. 通用工作条件

符号	参数	条件	最小值	最大值	单位
f _{HCLK}	内部 AHB 时钟频率	LDO 电压	1.3 V	0	150
			1.2 V	0	120
			1.1 V	0	64
f _{PCLK1}	内部 APB1 时钟频率	LDO 电压	1.3 V	0	120
			1.2 V, 1.1 V	0	f _{HCLK}
f _{PCLK2}	内部 APB2 时钟频率	—	0	f _{HCLK}	MHz
V _{DD}	数字电源工作电压	—	2.4	3.6	V
V _{DDA}	模拟电源工作电压	必须与 V _{DD} 相同	V _{DD}		V
P _D	功率耗散：T _A = 105 °C	100LQFP – 14 mm × 14 mm	—	264	mW
		64LQFP – 7 mm × 7 mm	—	216	
		48LQFP – 7 mm × 7 mm	—	216	
		32QFN – 4 mm × 4 mm	—	280	
T _A	环境温度	—	-40	105	°C

上电和掉电时的工作条件

表 13. 上电和掉电时的工作条件

符号	参数	最小值	最大值	单位
t _{VDD}	V _{DD} 上升速率	0	∞ (注)	ms/V
	V _{DD} 下降速率	20	∞	µs/V

注：若 V_{DD} 上电速率慢于 1.3 ms/V，代码必须等待 60 ms 并确认 V_{DD} 电压高于 2.57 V 后，才能对电池供电域相关寄存器进行存取。

内置复位和电源控制模块特性

表 14. 内置复位特性 ⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
V _{POR}	上电复位阈值	1.81	2.1	2.4	V
V _{LVR}	低电压复位阈值	1.68 ⁽²⁾	1.9	2.08	V
V _{LVRhyst}	LVR 迟滞	—	180	—	mV
T _{RESTEMPO}	复位持续时间：V _{DD} 高于 V _{POR} 且持续时间超过 T _{RESTEMPO} 后 CPU 开始运行	—	3.5	—	ms

注：1. 由综合评估得出，不在生产中测试。
2. 产品的特性由设计模拟至最小的数值 V_{LVR} 。

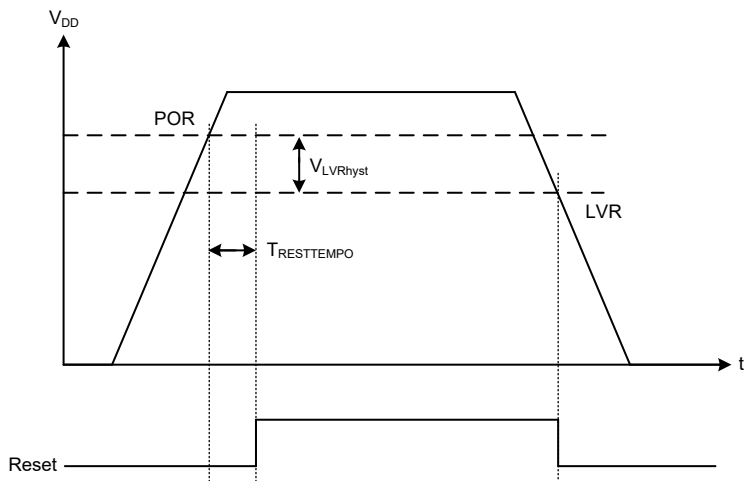


图 9. 上电复位和低电压复位的波形图

表 15. 可编程电压检测器特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVM1}	PVM 阈值 1 (PVMSEL[2:0] = 001)	上升沿	2.19	2.28	2.37	V
		下降沿	2.09	2.18	2.27	V
V_{PVM2}	PVM 阈值 2 (PVMSEL[2:0] = 010)	上升沿 (注)	2.28	2.38	2.48	V
		下降沿 (注)	2.18	2.28	2.38	V
V_{PVM3}	PVM 阈值 3 (PVMSEL[2:0] = 011)	上升沿 (注)	2.38	2.48	2.58	V
		下降沿 (注)	2.28	2.38	2.48	V
V_{PVM4}	PVM 阈值 4 (PVMSEL[2:0] = 100)	上升沿 (注)	2.47	2.58	2.69	V
		下降沿 (注)	2.37	2.48	2.59	V
V_{PVM5}	PVM 阈值 5 (PVMSEL[2:0] = 101)	上升沿 (注)	2.57	2.68	2.79	V
		下降沿 (注)	2.47	2.58	2.69	V
V_{PVM6}	PVM 阈值 6 (PVMSEL[2:0] = 110)	上升沿 (注)	2.66	2.78	2.9	V
		下降沿 (注)	2.56	2.68	2.8	V
V_{PVM7}	PVM 阈值 7 (PVMSEL[2:0] = 111)	上升沿	2.76	2.88	3	V
		下降沿	2.66	2.78	2.9	V
V_{HYS_P}	PVM 迟滞 (注)	—	—	100	—	mV
$I_{DD(PVM)}$	PVM 电流消耗 (注)	—	—	20	30	μA

注：由综合评估得出，不在生产中测试。

存储器特性

表 16. 内部闪存存储器特性 (注)

符号	参数	条件	典型值	最大值	单位
T _{PROG}	编程时间	—	40	42	μs
t _{SE}	扇区 (2 K 字节) 擦除时间	HT32F49163	13.2	16	ms
	扇区 (1 K 字节) 擦除时间	HT32F49153	6.6	8	
t _{ME}	全擦除时间	—	8.2	10	ms

注：由设计模拟，不在生产中测试。

表 17. 内部闪存存储器寿命和数据保存期限 (注)

符号	参数	条件	最小值	典型值	最大值	单位
N _{END}	寿命 (擦写次数)	T _A = -40 ~ 105 °C	100	—	—	千次
t _{RET}	数据保存期限	T _A = 105 °C	10	—	—	年

注：由设计模拟，不在生产中测试。

供电电流特性

电流消耗是与多种参数和因素有关的综合指标，由综合评估得出，不在生产中测试。这些参数和因素包括工作电压、环境温度、GPIO 引脚的负载、产品的软件配置、工作频率、GPIO 脚的翻转速率以及执行的代码等。

典型和最大电流消耗

单片机处于下述条件下：

- 所有的 GPIO 引脚都处于模拟模式。
- 闪存存储器的访问时间随 f_{HCLK} 的频率调整 (0 ~ 32 MHz 时为 0 个等待周期，33 ~ 64 MHz 时为 1 个等待周期，65 ~ 96 MHz 时为 2 个等待周期，97 ~ 128 MHz 时为 3 个等待周期，129 MHz 以上为 4 个等待周期)。
- 指令预取功能开启。
- 当开启外设时：
 - 若 f_{HCLK} > 120 MHz，f_{PCLK1} = f_{HCLK}/2，f_{PCLK2} = f_{HCLK}，f_{ADCCCLK} = f_{PCLK2}/2；
 - 若 f_{HCLK} ≤ 120 MHz，f_{PCLK1} = f_{HCLK}，f_{PCLK2} = f_{HCLK}，f_{ADCCCLK} = f_{PCLK2}/2。
- 除非特别标注，典型值是在 V_{DD} = 3.3 V 和 T_A = 25 °C 时测试得到，最大值是在 V_{DD} = 3.6 V 时测试得到。

表 18. 运行模式下的典型电流消耗

符号	参数	条件	f _{HCLK}	LDO 电压 (V)	典型值		单位
					使能所有外设	关闭所有外设	
I _{DD}	运行模式的 供应电流	高速外部晶振 (HEXT) ⁽¹⁾⁽²⁾	150 MHz	1.3	38.4	16.8	mA
			120 MHz	1.2	33.5	13.2	
			108 MHz	1.2	30.2	12.0	
			72 MHz	1.2	20.4	8.22	
			64 MHz	1.1	16.7	6.92	
			48 MHz	1.1	13.0	5.72	
			36 MHz	1.1	9.98	4.54	
			24 MHz	1.1	7.25	3.64	
			16 MHz	1.1	5.15	2.77	
			8 MHz	1.1	2.81	1.60	
			4 MHz	1.1	1.93	1.30	
			2 MHz	1.1	1.50	1.15	
			1 MHz	1.1	1.29	1.07	
		高速内部时钟 (HICK) ⁽²⁾	150 MHz	1.3	38.4	16.8	mA
			120 MHz	1.2	33.4	13.1	
			108 MHz	1.2	30.1	11.9	
			72 MHz	1.2	20.3	8.09	
			64 MHz	1.1	16.6	6.76	
			48 MHz	1.1	12.9	5.52	
			36 MHz	1.1	9.91	4.30	
			24 MHz	1.1	7.12	3.37	
			16 MHz	1.1	4.96	2.46	
			8 MHz	1.1	2.54	1.24	
			4 MHz	1.1	1.63	0.93	
			2 MHz	1.1	1.18	0.77	
			1 MHz	1.1	0.96	0.69	

注：1. 外部时钟为 8 MHz。
2. 当 f_{HCLK} > 8 MHz 时启用 PLL。

电气特性

表 19. 睡眠模式下的典型电流消耗

符号	参数	条件	f _{HCLK}	LDO 电压 (V)	典型值		单位
					使能所有外设	关闭所有外设	
I _{DD}	睡眠模式的 供应电流	高速外部晶振 (HEXT) ⁽¹⁾⁽²⁾	150 MHz	1.3	31.5	6.14	mA
			120 MHz	1.2	27.0	5.18	
			108 MHz	1.2	24.3	4.74	
			72 MHz	1.2	16.5	3.42	
			64 MHz	1.1	13.5	3.08	
			48 MHz	1.1	10.6	2.85	
			36 MHz	1.1	8.19	2.39	
			24 MHz	1.1	6.06	2.21	
			16 MHz	1.1	4.36	1.81	
			8 MHz	1.1	2.42	1.12	
			4 MHz	1.1	1.74	1.06	
			2 MHz	1.1	1.41	1.03	
			1 MHz	1.1	1.24	1.01	
		高速内部时钟 (HICK) ⁽²⁾	150 MHz	1.3	31.5	6.13	mA
			120 MHz	1.2	26.9	5.05	
			108 MHz	1.2	24.2	4.61	
			72 MHz	1.2	16.4	3.28	
			64 MHz	1.1	13.4	2.81	
			48 MHz	1.1	10.5	2.57	
			36 MHz	1.1	8.10	2.08	
			24 MHz	1.1	5.91	1.90	
			16 MHz	1.1	4.15	1.48	
			8 MHz	1.1	2.15	0.75	
			4 MHz	1.1	1.44	0.69	
			2 MHz	1.1	1.08	0.65	
			1 MHz	1.1	0.91	0.63	

注：1. 外部时钟为 8 MHz。
2. 当 f_{HCLK} > 8 MHz 时启用 PLL。

电气特性

表 20. 运行模式下的最大电流消耗

符号	参数	条件	f _{HCLK}	LDO 电压 (V)	最大值		单位
					T _A = 85 °C	T _A = 105 °C	
I _{DD}	运行模式的 供应电流	高速外部晶振 (HEXT) ^(注) 使能所有外设	150 MHz	1.3	40.6	42.7	mA
			120 MHz	1.2	34.4	35.2	
			108 MHz	1.2	31.1	31.9	
			72 MHz	1.2	21.2	22.0	
			64 MHz	1.1	17.6	18.4	
			48 MHz	1.1	13.9	14.7	
			36 MHz	1.1	10.8	11.6	
			24 MHz	1.1	8.07	8.85	
			16 MHz	1.1	5.96	6.71	
			8 MHz	1.1	3.67	4.44	
		高速外部晶振 (HEXT) ^(注) 关闭所有外设	150 MHz	1.3	18.8	19.6	mA
			120 MHz	1.2	13.9	14.6	
			108 MHz	1.2	12.7	13.4	
			72 MHz	1.2	8.91	9.60	
			64 MHz	1.1	7.73	8.50	
			48 MHz	1.1	6.52	7.28	
			36 MHz	1.1	5.32	6.07	
			24 MHz	1.1	4.42	5.16	
			16 MHz	1.1	3.53	4.25	
			8 MHz	1.1	2.34	3.06	

注：外部时钟为 8 MHz，当 f_{HCLK} > 8 MHz 时启用 PLL。

电气特性

表 21. 睡眠模式下的最大电流消耗

符号	参数	条件	f _{HCLK}	LDO 电压 (V)	最大值		单位
					T _A = 85 °C	T _A = 105 °C	
I _{DD}	睡眠模式的 供应电流	高速外部晶振 (HEXT) ^(注) 使能所有外设	150 MHz	1.3	32.8	34.8	mA
			120 MHz	1.2	27.8	28.7	
			108 MHz	1.2	25.2	26.0	
			72 MHz	1.2	17.3	18.0	
			64 MHz	1.1	14.4	15.2	
			48 MHz	1.1	11.5	12.3	
			36 MHz	1.1	9.04	9.83	
			24 MHz	1.1	6.89	7.65	
			16 MHz	1.1	5.17	5.92	
			8 MHz	1.1	3.28	4.04	
		高速外部晶振 (HEXT) ^(注) 关闭所有外设	150 MHz	1.3	6.97	7.56	mA
			120 MHz	1.2	5.87	6.56	
			108 MHz	1.2	5.43	6.11	
			72 MHz	1.2	4.10	4.77	
			64 MHz	1.1	3.87	4.58	
			48 MHz	1.1	3.63	4.34	
			36 MHz	1.1	3.16	3.87	
			24 MHz	1.1	2.98	3.69	
			16 MHz	1.1	2.57	3.27	
			8 MHz	1.1	1.87	2.57	

注：外部时钟为 8 MHz，当 f_{HCLK} > 8 MHz 时启用 PLL。

表 22. 深睡眠和待机模式下的典型和最大电流消耗^(注)

符号	参数	条件	典型值		最大值			单位
			V _{DD} = 2.4 V	V _{DD} = 3.3 V	T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{DD}	深睡眠模式的 供应电流	LDO 1.2 V 处于正常模式，HICK 和 HEXT 关闭，WDT 关闭	281	286	330	910	1540	μA
		LDO 处于额外低功耗模式，HICK 和 HEXT 关闭，WDT 关闭	141	143	160	550	980	
	待机模式的供 应电流	LEXT 和 ERTC 关闭	2.6	3.9	5.0	6.8	8.1	μA
		LEXT 和 ERTC 开启	3.6	5.4	6.5	8.8	12.9	

注：由综合评估得出，不在生产中测试。

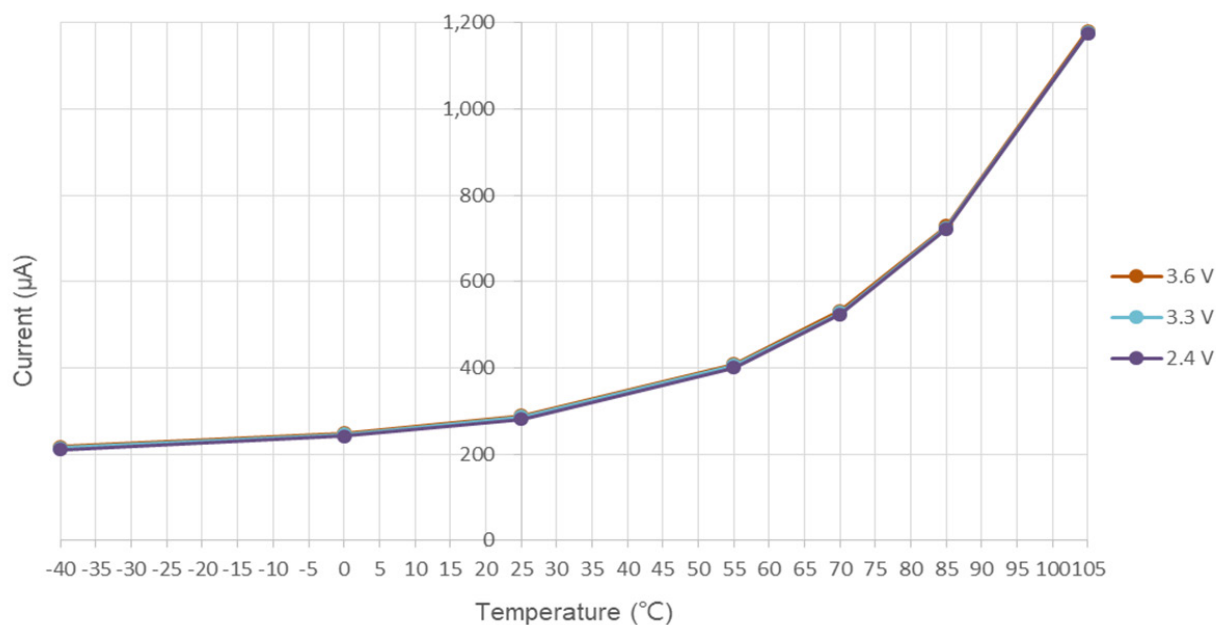


图 10. LDO 1.2 V 在正常模式时，深睡眠模式下的典型电流消耗在不同的 V_{DD} 时与温度的对比

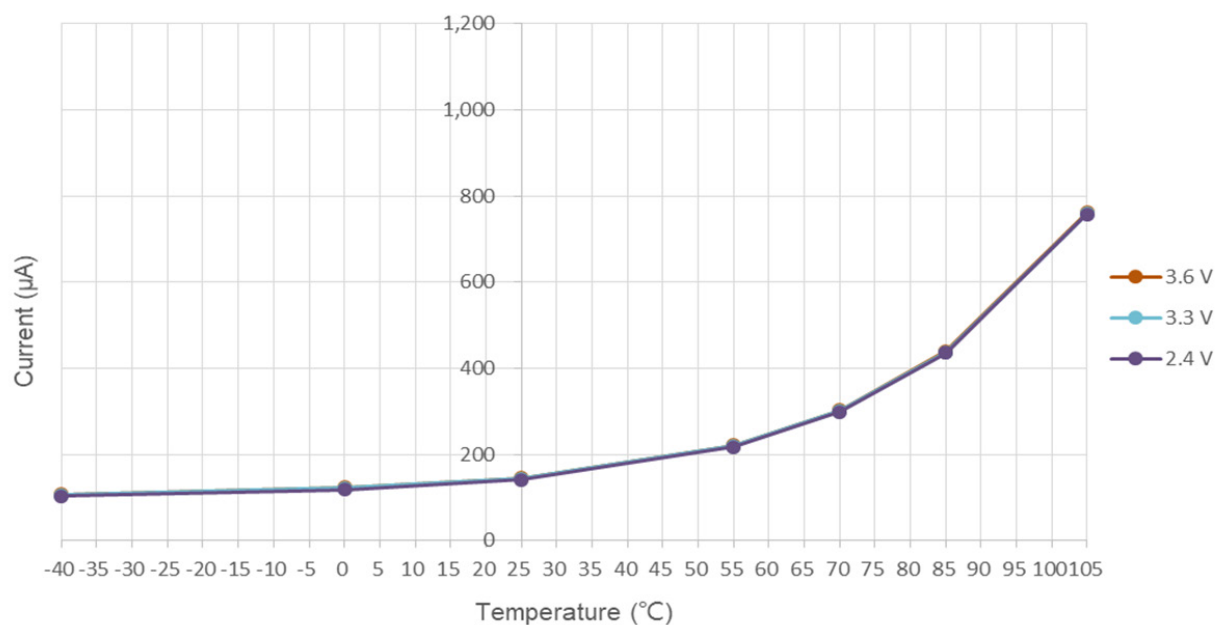


图 11. LDO 在额外低功耗模式时，深睡眠模式下的典型电流消耗在不同的 V_{DD} 时与温度的对比

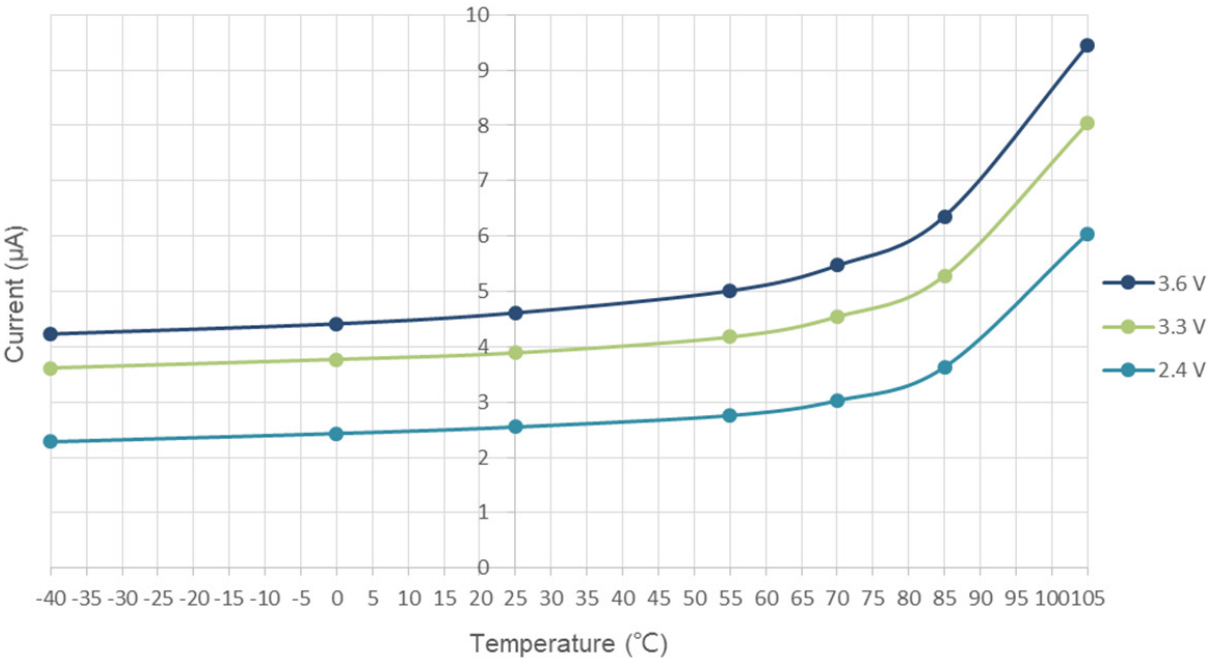


图 12. 待机模式下的典型电流消耗在不同的 V_{DD} 时与温度的对比

内置外设电流消耗

单片机的工作条件如下：

- 所有的 GPIO 引脚都处于模拟模式。
- 给出的数值是通过测量只开启一个外设的时钟与关闭所有外设的时钟电流消耗相差值计算得出。

表 23. 内置外设的电流消耗典型值

内置外设		LDO 电压 (V)			单位
		1.3	1.2	1.1	
AHB	DMA1	4.37	3.98	3.67	µA/MHz
	DMA2	4.31	3.91	3.60	
	SRAM	1.02	0.93	0.85	
	Flash	12.41	11.25	10.55	
	GPIOA	0.75	0.68	0.63	
	GPIOB	0.72	0.66	0.61	
	GPIOC	0.75	0.68	0.63	
	GPIOD	0.66	0.61	0.57	
	GPIOE	0.70	0.62	0.59	
	GPIOF	0.76	0.71	0.65	
	XMC	5.34	4.82	4.44	
	CRC	0.53	0.47	0.45	
	OTGFS1	25.33	23.04	21.27	

内置外设		LDO 电压 (V)			单位
		1.3	1.2	1.1	
APB1	TMR2	9.98	9.12	8.42	μA/MHz
	TMR3	7.10	6.49	6.01	
	TMR4	7.12	6.49	6.00	
	TMR6	0.85	0.78	0.73	
	TMR7	0.84	0.77	0.70	
	TMR12	6.89	6.27	5.75	
	TMR13	4.19	3.82	3.52	
	TMR14	4.26	3.89	3.57	
	WWDT	0.51	0.46	0.44	
	SPI2/I²S2	3.12	2.83	2.61	
	SPI3/I²S3	3.61	3.28	3.02	
	USART2	5.31	4.86	4.49	
	USART3	5.21	4.76	4.40	
	USART4	2.68	2.45	2.25	
	USART5	2.63	2.40	2.21	
	I²C1	6.66	6.09	5.60	
	I²C2	6.46	5.90	5.44	
	I²C3	6.56	5.99	5.52	
	CAN1	3.06	2.77	2.56	
	CAN2	2.53	2.31	2.12	
	PWC	0.89	0.83	0.76	
	DAC1/2	2.06	1.90	1.75	
	USART7	2.63	2.42	2.22	
	USART8	2.65	2.42	2.21	
APB2	TMR1	10.15	9.26	8.58	μA/MHz
	USART1	5.12	4.66	4.32	
	USART6	2.71	2.48	2.29	
	ADC1	9.13	8.33	7.67	
	SPI1/I²S1	3.24	2.97	2.72	
	SCFG	0.22	0.21	0.19	
	TMR9	6.19	5.64	5.22	
	TMR10	3.87	3.52	3.25	
	TMR11	4.13	3.77	3.48	
	ACC	0.28	0.26	0.24	

外部时钟源特性

使用晶体 / 陶瓷谐振器产生的高速外部时钟

高速外部晶振(HEXT)可以使用一个4~25 MHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件,通过综合特性评估得到的结果。在应用中,谐振器和负载电容必须尽可能地靠近振荡器的引脚,以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等),请咨询相应的生产厂商。

表 24. HEXT 4 ~ 25 MHz 晶振特性 ⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f _{HEXT_IN}	振荡器频率	—	4	8	25	MHz
t _{SU(HEXT)} ⁽³⁾	启动时间	V _{DD} 是稳定的	—	2	—	ms

- 注: 1. 谐振器的特性参数由晶体 / 陶瓷谐振器制造商给出。
2. 由综合评估得出,不在生产中测试。
3. t_{SU(HEXT)} 是启动时间,是从软件使能 HEXT 开始测量,直至得到稳定的 8 MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到,它可能因晶体制造商的不同而变化较大。

对于 C_{L1} 和 C_{L2}, 建议使用高质量的、为高频应用而设计的(典型值为)5~33 pF 之间的瓷介电容器,以符合晶体或谐振器要求。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时,PCB 和 MCU 引脚的寄生电容应该考虑在内。负载电容 CL 是基于下列算式计算出: $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$, 其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容,它的典型值是介于 2 pF 至 7 pF 之间。

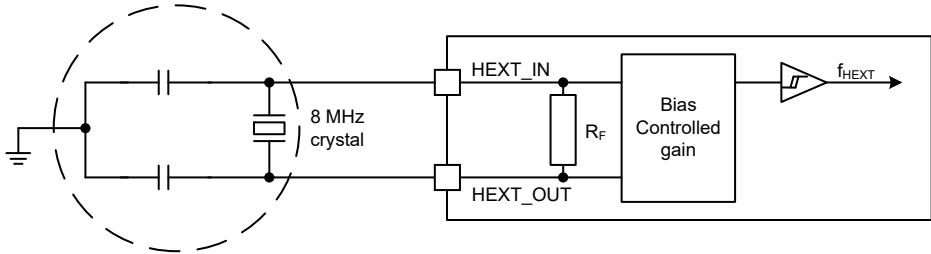


图 13. 使用 8 MHz 晶振的典型应用

使用外部振荡源产生的高速外部时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得。

表 25. 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{HEXT_ext}	用户外部时钟频率 ^(注)	—	1	8	25	MHz
V _{HEXTH}	HEXT_IN 输入引脚高电平电压		0.7V _{DD}	—	V _{DD}	V
V _{HEXTL}	HEXT_IN 输入引脚低电平电压		V _{SS}	—	0.3V _{DD}	
t _{w(HEXT)} t _{w(HEXT)}	HEXT_IN 高或低的时间 ^(注)		5	—	—	ns
t _{r(HEXT)} t _{f(HEXT)}	HEXT_IN 上升或下降的时间 ^(注)		—	—	20	
C _{in(HEXT)}	HEXT_IN 输入容抗 ^(注)	—	—	5	—	pF

符号	参数	条件	最小值	典型值	最大值	单位
Duty _(HEXT)	占空比	—	45	—	55	%
I _L	HEXT_IN 输入漏电流	V _{SS} ≤ V _{IN} ≤ V _{DD}	—	—	±1	μA

注：由设计模拟，不在生产中测试。

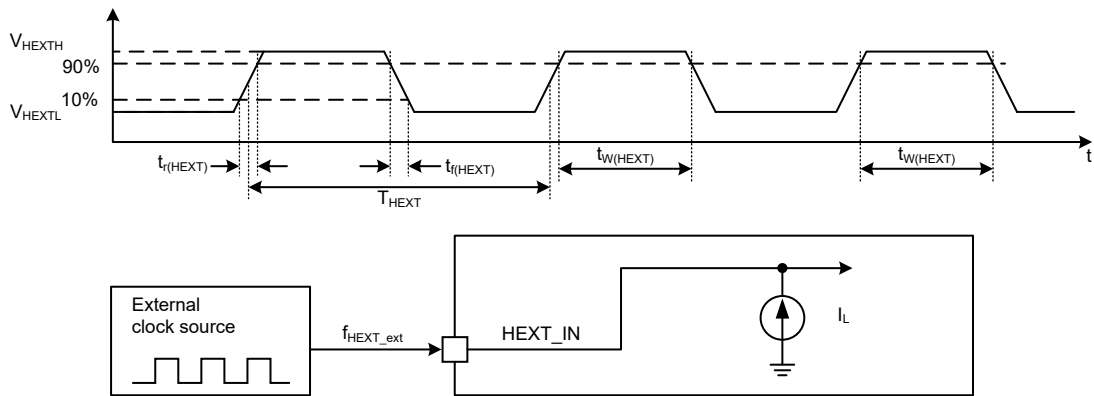


图 14. 外部高速时钟源的交流时序图

使用晶体 / 陶瓷谐振器产生的低速外部时钟

低速外部晶振 (LEXT) 可以使用一个 32.768 kHz 的晶体 / 陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数 (频率、封装、精度等)，请咨询相应的生产厂商。

表 26. LEXT 32.768 kHz 晶振特性 ⁽¹⁾⁽²⁾

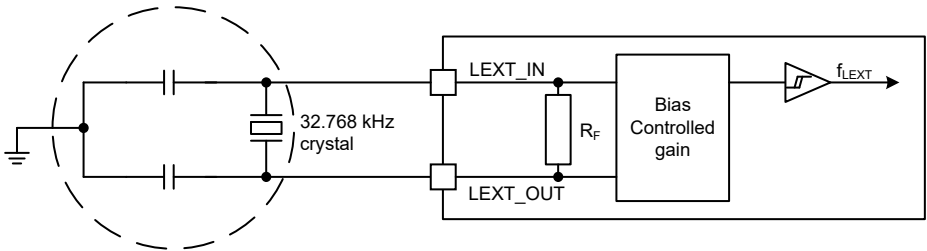
符号	参数	条件	最小值	典型值	最大值	单位
t _{SU(LEXT)}	启动时间	V _{DD} 是稳定的	—	200	—	ms

注：1. 谐振器的特性参数由晶体 / 陶瓷谐振器制造商给出。

2. 由综合评估得出，不在生产中测试。

对于 C_{L1} 和 C_{L2}，建议使用高质量的 5 ~ 20 pF 之间的瓷介电容器，以符合晶体或谐振器要求。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。

负载电容 C_L 是基于下列算式计算出：C_L = C_{L1} × C_{L2} / (C_{L1} + C_{L2}) + C_{stray}，其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容，它的典型值是介于 2 pF 至 7 pF 之间。



注：LEXT_IN 和 LEXT_OUT 间不需要外部电阻，也禁止添加。

图 15. 使用 32.768 kHz 晶振的典型应用

使用外部振荡源产生的低速外部时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得。

表 27. 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{LEXT_ext}}$	用户外部时钟频率 (注)	—	—	32.768	1000	kHz
V_{LEXTH}	LEXT_IN 输入引脚高电平电压		$0.7V_{\text{DD}}$	—	V_{DD}	V
V_{LEXTL}	LEXT_IN 输入引脚低电平电压		V_{SS}	—	$0.3V_{\text{DD}}$	
$t_{\text{w(LEXT)}}$ $t_{\text{w(LEXT)}}$	LEXT_IN 高或低的时间 (注)		450	—	—	ns
$t_{\text{r(LEXT)}}$ $t_{\text{f(LEXT)}}$	LEXT_IN 上升或下降的时间 (注)		—	—	50	
$C_{\text{in(LEXT)}}$	LEXT_IN 输入容抗 (注)	—	—	5	—	pF
Duty(LEXT)	占空比	—	30	—	70	%
I_{L}	LEXT_IN 输入漏电流	$V_{\text{SS}} \leq V_{\text{IN}} \leq V_{\text{DD}}$	—	—	± 1	μA

注：由设计模拟，不在生产中测试。

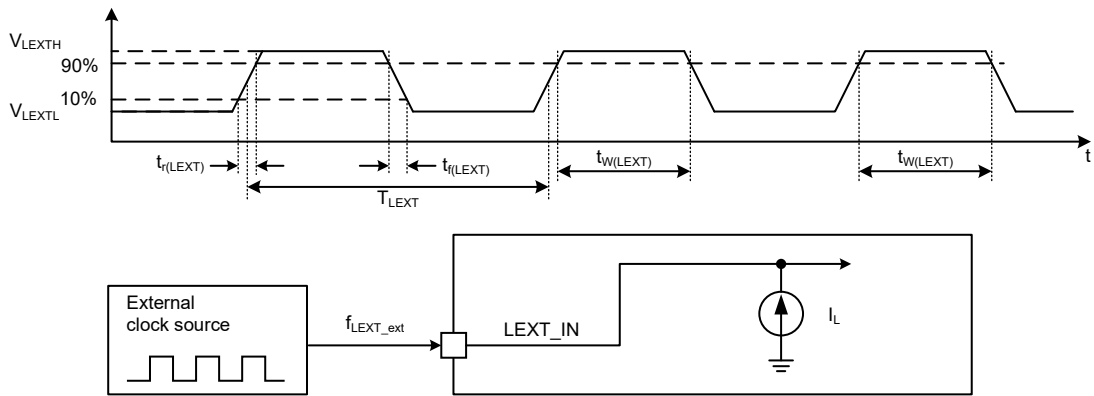


图 16. 外部低速时钟源的交流时序图

内部时钟源特性

高速内部时钟 (HICK)

表 28. HICK 时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{HICK}	频率	—	—	48	—	MHz
DuCy _(HICK)	占空比	—	45	—	55	%
ACC _{HICK}	HICK 时钟的精度	使用者校准 (以寄存器 CRM_CTRL) ⁽¹⁾	-1	—	1	%
		ACC 校准 ⁽¹⁾	-0.25	—	0.25	
		出厂校准 ⁽²⁾	T _A = -40 ~ 105 °C	—	2.5	
			T _A = -40 ~ 85 °C	—	2	
			T _A = 0 ~ 70 °C	—	1.5	
			T _A = 25 °C	-1	0.5	1
t _{SU(HICK)} ⁽²⁾	HICK 时钟启动时间	—	—	—	10.5	μs
I _{DD(HICK)} ⁽²⁾	HICK 时钟功耗	—	—	300	330	μA

注：1. 由设计模拟，不在生产中测试。
2. 由综合评估得出，不在生产中测试。

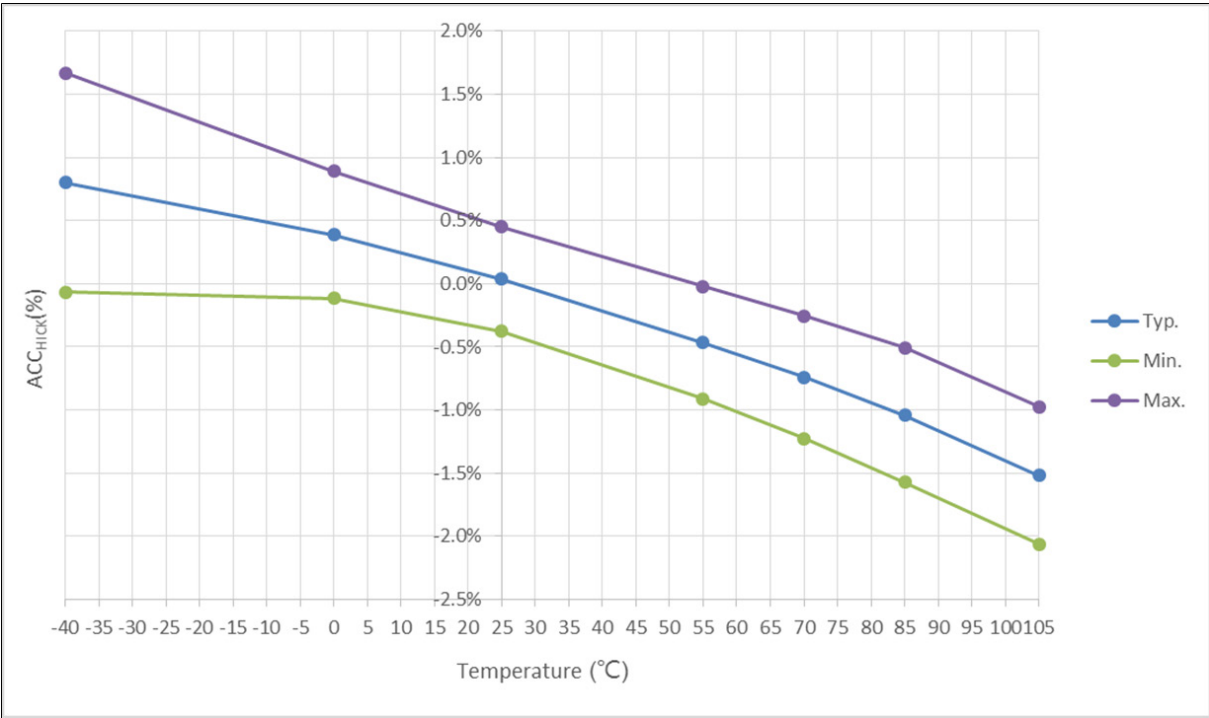


图 17. HICK 时钟精度与温度的对比

低速内部时钟 (LICK)

表 29. LICK 时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LICK} (注)	频率	—	25	35	45	kHz

注：由综合评估得出，不在生产中测试。

PLL 特性

表 30. PLL 特性

符号	参数	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
f_{PLL_IN}	PLL 输入时钟 ⁽²⁾	2	8	16	MHz
	PLL 输入时钟占空比	40	—	60	%
f_{PLL_OUT} ⁽³⁾	PLL 倍频输出时钟	32	—	300	MHz
t_{LOCK}	PLL 锁相时间	—	—	200	μs
Jitter	相邻周期抖动	—	—	300	ps

- 注：1. 由设计模拟，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据 PLL 输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。
3. PLL 输出固定经过二除频后再提供给系统时钟选择器。详细请参照 HT32F49153/HT32F49163 用户手册时钟章节。

低功耗模式唤醒时间

下表列出的唤醒时间是在系统时钟为 HICK 时钟的唤醒阶段测量得到。唤醒时使用的时钟源依据当前的操作模式而定：

- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟；
- 深睡眠或待机模式：时钟源是 HICK 时钟。

表 31. 低功耗模式的唤醒时间

符号	参数	条件	典型值	单位
$t_{WUSLEEP}$	从睡眠模式唤醒	—	3.7	μs
$t_{WUDEEPSLEEP}$	从深睡眠模式唤醒	LDO 处于正常模式	450	μs
		LDO 处于低功耗模式	500	
$t_{WUSTDBY}$	从待机模式唤醒	—	800	μs

EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS (电磁敏感性)

- EFT：在 V_{DD} 和 V_{SS} 上通过耦合 / 去耦合网路施加一个瞬变电压的脉冲群 (正向和反向) 直到产生功能性错误。这个测试符合 IEC 61000-4-4 标准。

表 32. EMS 特性

符号	参数	条件	级别 / 类型
V_{EFT}	在 V_{DD} 和 V_{SS} 上通过符合 IEC 61000-4-4 规范的耦合 / 去耦合网路施加导致功能错误的瞬变脉冲群电压极限, V_{DD} 和 V_{SS} 入口有一 47 μF 电容并且每对 V_{DD} 和 V_{SS} 电源各有一 0.1 μF 旁路电容	$V_{\text{DD}} = 3.3 \text{ V}$, 100 LQFP, $T_A = +25^\circ\text{C}$, $f_{\text{HCLK}} = 150 \text{ MHz}$, LDO 电压 1.3 V。符合 IEC 61000-4-4	4A ($\pm 4 \text{ kV}$)
		$V_{\text{DD}} = 3.3 \text{ V}$, 100 LQFP, $T_A = +25^\circ\text{C}$, $f_{\text{HCLK}} = 120 \text{ MHz}$, LDO 电压 1.2 V。符合 IEC 61000-4-4	
		$V_{\text{DD}} = 3.3 \text{ V}$, 100 LQFP, $T_A = +25^\circ\text{C}$, $f_{\text{HCLK}} = 64 \text{ MHz}$, LDO 电压 1.1 V。符合 IEC 61000-4-4	

在器件级进行 EMC 的评估和优化, 是在典型的应用环境中进行的。应注意好的 EMC 性能与用户应用和具体的软件密切相关。因此, 建议用户对软件实行 EMC 优化, 并进行与 EMC 有关的测试。

GPIO 端口特性

通用输入 / 输出特性

所有的 GPIO 端口都是兼容 CMOS 和 TTL。

表 33. GPIO 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{IL}	输入低电平电压	—	-0.3	—	0.28 × V _{DD} + 0.1	V
V _{IH}	TC 输入高电平电压	—	0.31 × V _{DD} + 0.8	—	V _{DD} + 0.3	V
	FTa 输入高电平电压	模拟模式				
	FT 和 FTf 输入高电平电压	—				
	FTa 输入高电平电压	输入浮空、输入上拉或输入下拉			5.5	
V _{hys}	施密特触发器电压迟滞 ⁽¹⁾	—	200	—	—	mV
			5 % V _{DD}	—	—	—
I _{lkg}	输入浮空模式漏电流 ⁽²⁾	V _{SS} ≤ V _{IN} ≤ V _{DD} TC GPIO 脚	—	—	±1	μA
		V _{SS} ≤ V _{IN} ≤ 5.5 V FT, FTf 和 FTa GPIO 脚	—	—	±1	
RPU	弱上拉等效电阻 ⁽³⁾	V _{IN} = V _{SS}	65	80	130	kΩ
RPD	弱下拉等效电阻 ⁽³⁾⁽⁴⁾	V _{IN} = V _{DD}	65	70	130	kΩ
C _{IO}	GPIO 引脚的电容	—	—	9	—	pF

注: 1. 施密特触发器开关电平的迟滞电压。由综合评估得出, 不在生产中测试。

2. 如果在相邻引脚有反向电流倒灌, 则漏电流可能高于最大值。

3. FT, FTf 和 FTa 引脚当输入高于 $V_{\text{DD}} + 0.3 \text{ V}$ 时, 必须禁用内部上拉 / 下拉电阻。

4. BOOT0 引脚弱下拉电阻不可禁用。

所有 GPIO 端口都是 CMOS 和 TTL 兼容 (不需软件配置), 它们的特性考虑了多数严格的 CMOS 工艺或 TTL 参数。

输出驱动电流

在用户应用中，GPIO 脚的数目必须保证驱动电流不能超过“绝对最大值 → 额定值”章节给出的绝对最大额定值：

- 所有 GPIO 端口从 V_{DD} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD} (参见表 8)。
- 所有 GPIO 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS} (参见表 8)。

输出电压

所有的 GPIO 端口都是兼容 CMOS 和 TTL 的。

表 34. 输出电压特性 ⁽¹⁾

符号	参数	条件	最小值	最大值	单位
适中电流推动 / 吸入能力					
V _{OL}	输出低电平	CMOS 端口, I _{IO} = 4 mA 2.7 V ≤ V _{DD} ≤ 3.6 V	—	0.4	V
V _{OH}	输出高电平		V _{DD} - 0.4	—	
V _{OL}	输出低电平	TTL 端口, I _{IO} = 2 mA 2.7 V ≤ V _{DD} ≤ 3.6 V	—	0.4	V
V _{OH}	输出高电平		2.4	—	
V _{OL}	输出低电平	I _{IO} = 9 mA 2.7 V ≤ V _{DD} ≤ 3.6 V	—	1.3	V
V _{OH}	输出高电平		V _{DD} - 1.3	—	
V _{OL}	输出低电平	I _{IO} = 2 mA 2.4 V ≤ V _{DD} < 2.7 V	—	0.4	V
V _{OH}	输出高电平		V _{DD} - 0.4	—	
较大电流推动 / 吸入能力					
V _{OL}	输出低电平	CMOS 端口, I _{IO} = 6 mA 2.7 V ≤ V _{DD} ≤ 3.6 V	—	0.4	V
V _{OH}	输出高电平		V _{DD} - 0.4	—	
V _{OL}	输出低电平	TTL 端口, I _{IO} = 5 mA 2.7 V ≤ V _{DD} ≤ 3.6 V	—	0.4	V
V _{OH}	输出高电平		2.4	—	
V _{OL}	输出低电平	I _{IO} = 18 mA 2.7 V ≤ V _{DD} ≤ 3.6 V	—	1.3	V
V _{OH}	输出高电平		V _{DD} - 1.3	—	
V _{OL}	输出低电平	I _{IO} = 4 mA 2.4 V ≤ V _{DD} < 2.7 V	—	0.4	V
V _{OH}	输出高电平		V _{DD} - 0.4	—	
极大电流推动 / 吸入能力					
V _{OL}	输出低电平	CMOS 端口, I _{IO} = 15 mA 2.7 V ≤ V _{DD} ≤ 3.6 V	—	0.4	V
V _{OH}	输出高电平		V _{DD} - 0.4	—	
V _{OL}	输出低电平	TTL 端口, I _{IO} = 12 mA 2.7 V ≤ V _{DD} ≤ 3.6 V	—	0.4	V
V _{OH}	输出高电平		2.4	—	
V _{OL}	输出低电平	I _{IO} = 12 mA 2.4 V ≤ V _{DD} < 2.7 V	—	0.4	V
V _{OH}	输出高电平		V _{DD} - 0.4	—	
超高电流吸入能力 ⁽²⁾					
V _{OL}	输出低电平	I _{IO} = 25 mA, 2.7 V ≤ V _{DD} ≤ 3.6 V	—	0.4	V
V _{OL}	输出低电平	I _{IO} = 18 mA, 2.4 V ≤ V _{DD} < 2.7 V			

注：1. 由综合评估得出，不在生产中测试。
2. GPIO 使能超高流吸入能力时，其 V_{OH} 同极大电流推动能力。

输入交流特性

输入交流特性的定义和数值在下表给出。

表 35. 输入交流特性

符号	参数	最小值	最大值	单位
$t_{EXINTpw}^{(注)}$	EXINT 控制器检测到外部信号的脉冲宽度	10	—	ns

注：由设计模拟，不在生产中测试。

NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻， R_{PU} (参见下表)。

表 36. NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST 输入低电平电压	—	-0.3	—	0.8	V
$V_{IH(NRST)}^{(1)}$	NRST 输入高电平电压	—	2	—	$V_{DD} + 0.3$	
$V_{hys(NRST)}^{(1)}$	NRST 施密特触发器电压迟滞	—	—	500	—	mV
$R_{PU}^{(2)}$	弱上拉等效电阻	$V_{IN} = V_{SS}$	30	40	50	kΩ
$t_{ILV(NRST)}^{(1)}$	NRST 输入低电平无效时间	—	—	—	40	μs
$t_{ILNV(NRST)}^{(1)}$	NRST 输入低电平有效时间	—	80	—	—	μs

注：1. 由设计模拟，不在生产中测试。

2. 由综合评估得出，不在生产中测试。

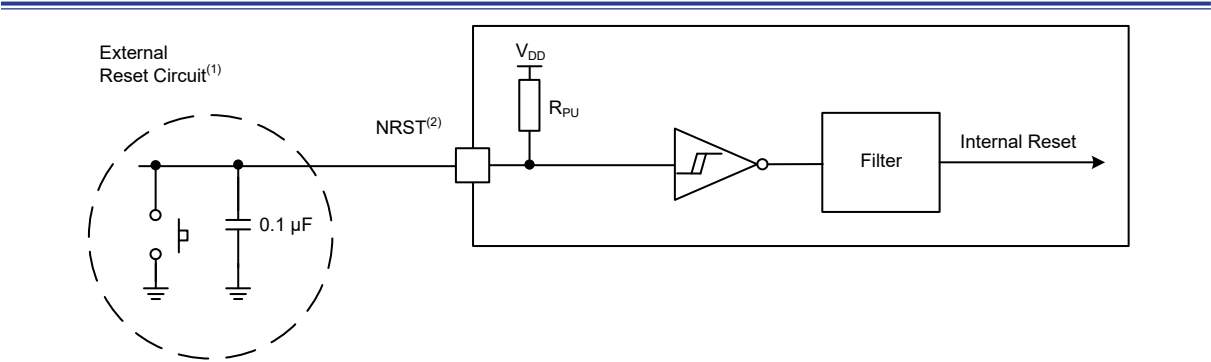


图 18. 建议的 NRST 引脚保护

注：1. 复位网络是为了防止寄生复位。

2. 用户必须保证 NRST 引脚的电位能够低于表 36 中列出的最大 $V_{IL(NRST)}$ 以下，否则 MCU 不能得到复位。

电气特性

XMC 特性

下表列出的参数由设计模拟，不在生产中测试。

SRAM / PSRAM / NOR 异步时序和波形

这些表格中的结果是按照下述 XMC 配置得到：

- 地址建立时间 (AddressSetupTime) = 0
- 地址保持时间 (AddressHoldTime) = 1
- 数据建立时间 (DataSetupTime) = 1

表 37. 异步总线复用的 PSRAM / NOR 读操作时序

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	XMC_NE 低时间	$8 t_{HCLK} - 2$	$8 t_{HCLK} + 2$	ns
$t_{v(NO\overline{E_NE})}$	XMC_NE 低至 XMC_NOE 低有效时间	$4 t_{HCLK} - 0.5$	$4 t_{HCLK} + 1.5$	ns
$t_{w(NO\overline{E})}$	XMC_NOE 低时间	$4 t_{HCLK} - 1$	$4 t_{HCLK} + 2$	ns
$t_{h(NE_NO\overline{E})}$	XMC_NOE 高至 XMC_NE 高保持时间	-1	—	ns
$t_{v(A_NE)}$	XMC_NE 低至 XMC_A 有效时间	—	7	ns
$t_{v(NADV_NE)}$	XMC_NE 低至 XMC_NADV 低有效时间	3	5	ns
$t_{w(NADV)}$	XMC_NADV 低时间	$t_{HCLK} - 1.5$	$t_{HCLK} + 1.5$	ns
$t_{h(AD_NADV)}$	XMC_NADV 高之后 XMC_AD (地址) 有效保持时间	$t_{HCLK} + 3$	—	ns
$t_{h(A_NO\overline{E})}$	XMC_NOE 高之后的地址保持时间	$t_{HCLK} + 3$	—	ns
$t_{h(UBLB_NO\overline{E})}$	XMC_NOE 高之后的 XMC_UB/LB 保持时间	0	—	ns
$t_{v(UBLB_NE)}$	XMC_NE 低至 XMC_UB/LB 有效时间	—	0	ns
$t_{su(Data_NE)}$	数据至 XMC_NE 高的建立时间	$2 t_{HCLK} + 24$	—	ns
$t_{su(Data_NO\overline{E})}$	数据至 XMC_NOE 高的建立时间	$2 t_{HCLK} + 25$	—	ns
$t_{h(Data_NE)}$	XMC_NE 高之后的数据保持时间	0	—	ns
$t_{h(Data_NO\overline{E})}$	XMC_NOE 高之后的数据保持时间	0	—	ns

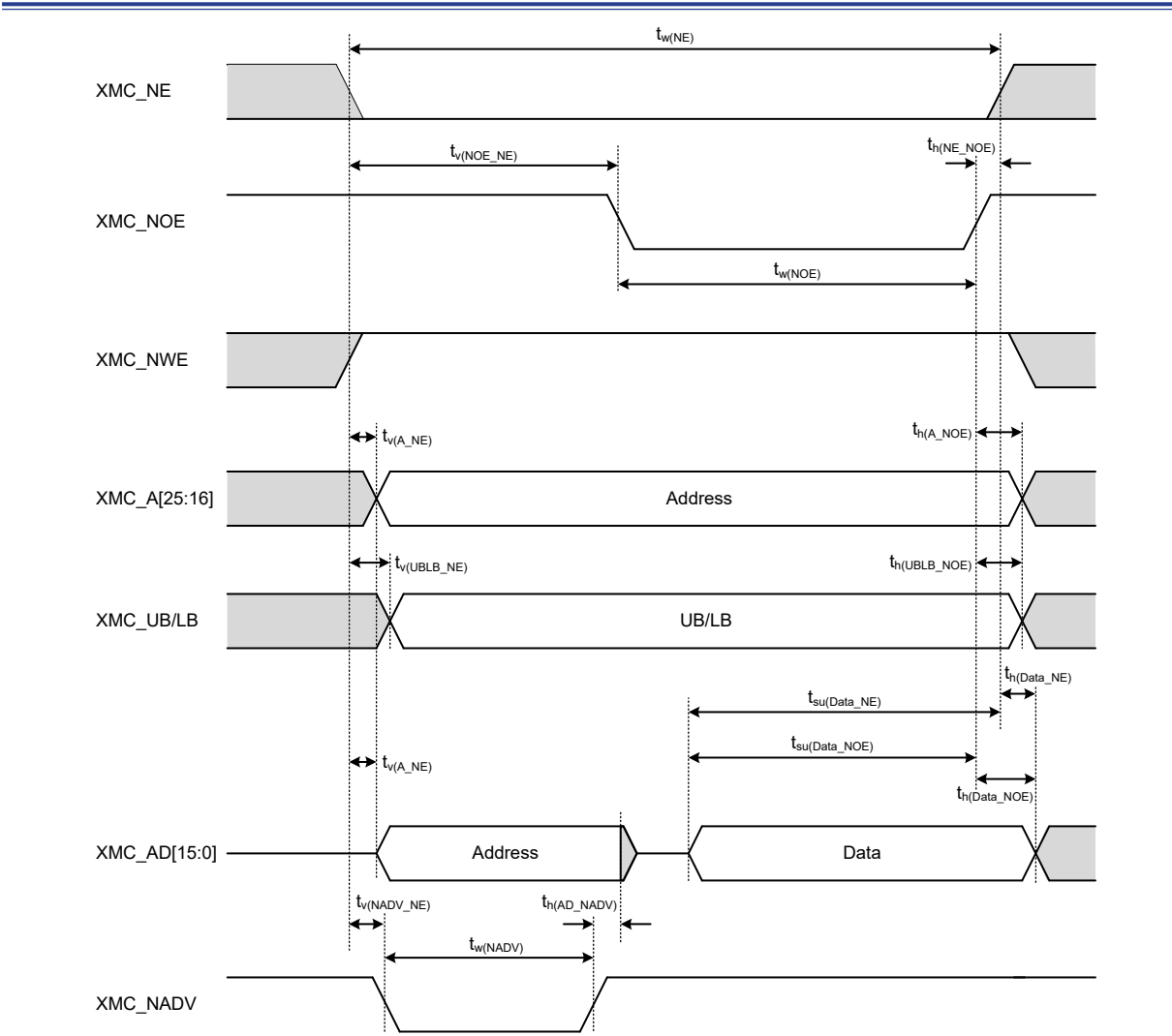


图 19. 异步总线复用 PSRAM / NOR 读操作波形

表 38. 异步总线复用的 PSRAM / NOR 写操作时序

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	XMC_NE 低时间	$7 t_{HCLK} - 1$	$7 t_{HCLK} + 2$	ns
$t_{v(NWE_NE)}$	XMC_NE 低至 XMC_NWE 低有效时间	t_{HCLK}	$t_{HCLK} + 1$	ns
$t_{w(NWE)}$	XMC_NWE 低时间	$5 t_{HCLK} - 1$	$5 t_{HCLK} + 2$	ns
$t_{h(NE_NWE)}$	XMC_NWE 高至 XMC_NE 高保持时间	$t_{HCLK} - 1$	—	ns
$t_{v(A_NE)}$	XMC_NE 低至 XMC_A 有效时间	—	7	ns
$t_{v(NADV_NE)}$	XMC_NE 低至 XMC_NADV 低有效时间	3	5	ns
$t_{w(NADV)}$	XMC_NADV 低时间	$t_{HCLK} - 1$	$t_{HCLK} + 1$	ns
$t_{h(AD_NADV)}$	XMC_NADV 高之后 XMC_AD (地址) 保持时间	$t_{HCLK} - 3$	—	ns
$t_{h(A_NWE)}$	XMC_NWE 高之后的地址保持时间	$t_{HCLK} - 1.5$	—	ns
$t_{h(UBLB_NWE)}$	XMC_NWE 高之后的 XMC_UB/LB 保持时间	$t_{HCLK} - 1.5$	—	ns

符号	参数	最小值	最大值	单位
$t_{v(UBLB_NE)}$	XMC_NE 低至 XMC_UB/LB 有效时间	—	1.6	ns
$t_{v(Data_NADV)}$	XMC_NADV 高至数据有效时间	—	$2 t_{HCLK} + 1.5$	ns
$t_{h(Data_NWE)}$	XMC_NWE 高之后的数据保持时间	$t_{HCLK} - 5$	—	ns

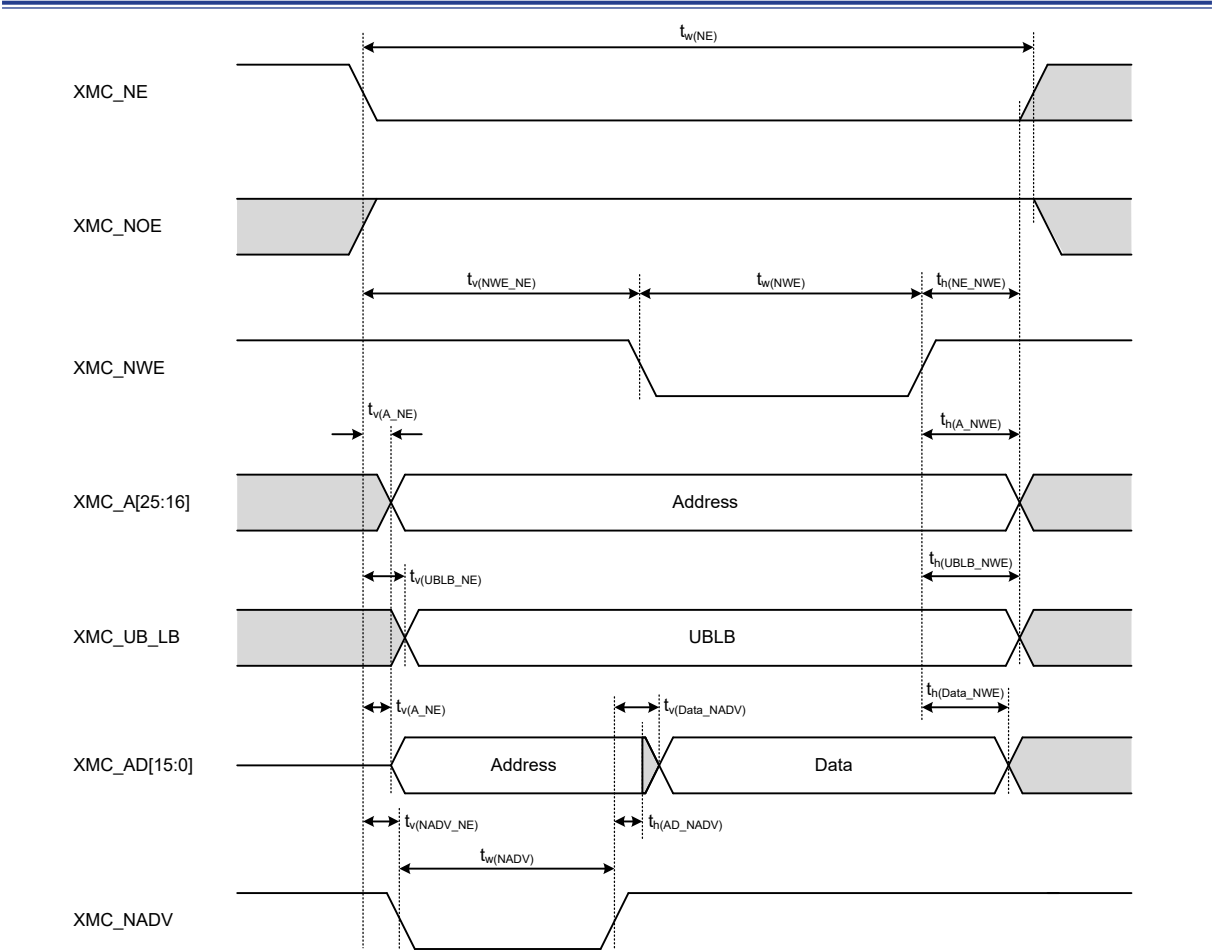


图 20. 异步总线复用 PSRAM / NOR 写操作波形

PSRAM / NOR 同步时序和波形

这些表格中的结果是按照下述 XMC 配置得到：

- BurstAccessMode = XMC_BurstAccessMode_Enable，使能突发传输模式
- MemoryType = XMC_MemoryType_CRAM，存储器类型为 CRAM
- WriteBurst = XMC_WriteBurst_Enable，使能突发写操作
- CLKPrescale = 1，(1 个存储器周期 = 2 个 HCLK 周期)(注：CLKPrescale 是 XMC_BK1T-MGx 寄存器中的 CLKPSC 位，参见 HT32F49153/HT32F49163 用户手册)
- 使用 NOR 闪存时，DataLatency = 1；使用 PSRAM 时，DataLatency = 0 (注：DataLatency 是 XMC_BK1TMGx 寄存器中的 DTLAT 位，参见 HT32F49153/HT32F49163 用户手册)

表 39. 同步总线复用 PSRAM / NOR 读操作时序

符号	参数	最小值	最大值	单位
$t_{w(\text{CLK})}$	XMC_CLK 周期	20	—	ns
$t_{d(\text{CLKL-NEL})}$	XMC_CLK 低至 XMC_NE 低间隔时间	—	2	ns
$t_{d(\text{CLKL-NEH})}$	XMC_CLK 低至 XMC_NE 高间隔时间	1	—	ns
$t_{d(\text{CLKL-NADVL})}$	XMC_CLK 低至 XMC_NADV 低间隔时间	—	4	ns
$t_{d(\text{CLKL-NADVH})}$	XMC_CLK 低至 XMC_NADV 高间隔时间	1	—	ns
$t_{d(\text{CLKL-AV})}$	XMC_CLK 低至 XMC_A 有效间隔时间	—	2	ns
$t_{d(\text{CLKL-AIV})}$	XMC_CLK 低至 XMC_A 无效间隔时间	0	—	ns
$t_{d(\text{CLKH-NOEL})}$	XMC_CLK 高至 XMC_NOE 低间隔时间	—	1	ns
$t_{d(\text{CLKL-NOEH})}$	XMC_CLK 低至 XMC_NOE 高间隔时间	0.5	—	ns
$t_{d(\text{CLKL-ADV})}$	XMC_CLK 低至 XMC_AD 有效间隔时间	—	12	ns
$t_{d(\text{CLKL-ADIV})}$	XMC_CLK 低至 XMC_AD 无效间隔时间	0	—	ns
$t_{su(\text{ADV-CLKH})}$	XMC_CLK 高之前 XMC_AD 有效建立时间	6	—	ns
$t_h(\text{CLKH-ADV})$	XMC_CLK 高之后 XMC_AD 有效保持时间	6	—	ns
$t_{su(\text{NWAITV-CLKH})}$	XMC_CLK 高之前 XMC_NWAIT 有效建立时间	8	—	ns
$t_h(\text{CLKH-NWAITV})$	XMC_CLK 高之后 XMC_NWAIT 有效保持时间	6	—	ns

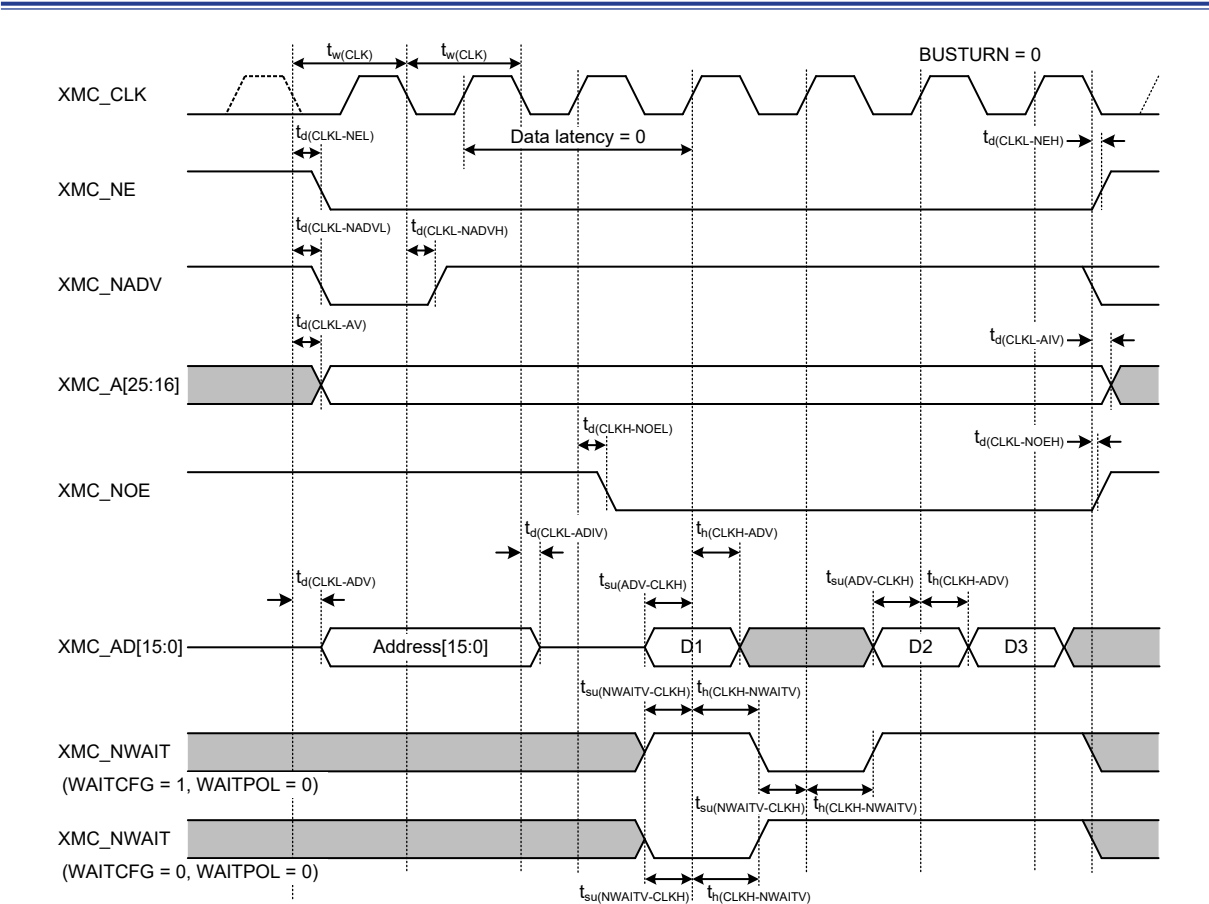


图 21. 同步总线复用 PSRAM / NOR 读操作波形

表 40. 同步总线复用 PSRAM 写操作时序

符号	参数	最小值	最大值	单位
$t_{w(\text{CLK})}$	XMC_CLK 周期	20	—	ns
$t_{d(\text{CLKL-NEL})}$	XMC_CLK 低至 XMC_NE 低间隔时间	—	2	ns
$t_{d(\text{CLKL-NEH})}$	XMC_CLK 低至 XMC_NE 高间隔时间	1	—	ns
$t_{d(\text{CLKL-NADVL})}$	XMC_CLK 低至 XMC_NADV 低间隔时间	—	4	ns
$t_{d(\text{CLKL-NADVH})}$	XMC_CLK 低至 XMC_NADV 高间隔时间	1	—	ns
$t_{d(\text{CLKL-AV})}$	XMC_CLK 低至 XMC_A 有效间隔时间	—	2	ns
$t_{d(\text{CLKL-AIV})}$	XMC_CLK 低至 XMC_A 无效间隔时间	0	—	ns
$t_{d(\text{CLKL-NWEL})}$	XMC_CLK 低至 XMC_NWE 低间隔时间	—	1	ns
$t_{d(\text{CLKL-NWEH})}$	XMC_CLK 低至 XMC_NWE 高间隔时间	0.5	—	ns
$t_{d(\text{CLKL-ADV})}$	XMC_CLK 低至 XMC_AD 有效间隔时间	—	12	ns
$t_{d(\text{CLKL-ADIV})}$	XMC_CLK 低至 XMC_AD 无效间隔时间	3	—	ns
$t_{d(\text{CLKL-Data})}$	XMC_CLK 低之后 XMC_AD 间隔时间	—	6	ns
$t_{d(\text{CLKL-UBLBH})}$	XMC_CLK 低至 XMC_UB/LB 高间隔时间	1	—	ns
$t_{su(\text{NWAITV-CLKH})}$	XMC_CLK 高之前 XMC_NWAIT 有效建立时间	8	—	ns
$t_{h(\text{CLKH-NWAITV})}$	XMC_CLK 高之后 XMC_NWAIT 有效保持时间	6	—	ns

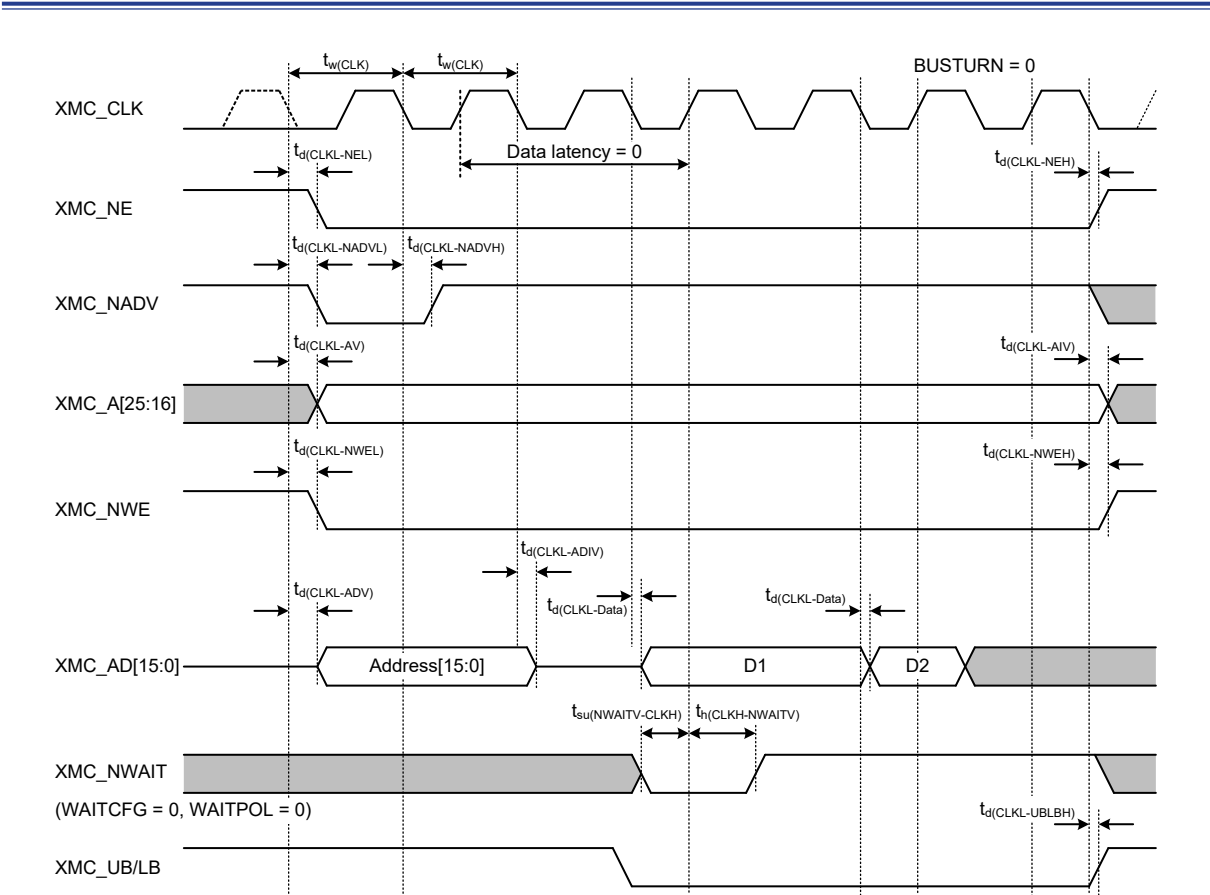


图 22. 同步总线复用 PSRAM 写操作波形

TMR 定时器特性

下表列出的参数由设计模拟，不在生产中测试。

表 41. TMR 定时器特性

符号	参数	条件	最小值	最大值	单位
$t_{res}(TMR)$	定时器分辨时间	—	1	—	$t_{TMRxCLK}$
		$f_{TMRxCLK} = 150 \text{ MHz}$	6.66	—	ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率	—	0	$f_{TMRxCLK}/2$	MHz

SPI 接口特性

表 42. SPI 特性⁽¹⁾

符号	参数	条件		最小值	最大值	单位
f_{SCK} $(1/t_{c(SCK)})^{(2)(3)}$	SPI 时钟频率	主模式		—	32	MHz
		从收模式		—	32	
		从发模式		—	25	
$t_{su(CS)}$	CS 建立时间	从模式		$2t_{PCLK}$	—	ns
$t_{h(CS)}$	CS 保持时间	从模式		$2t_{PCLK}$	—	ns
$t_w(SCKH)$ $t_w(SCKL)$	SCK 高和低的时间	主模式，预分频系数 = 2		$t_{PCLK} - 3$	$t_{PCLK} + 3$	ns
$Duty_{(SCK)}$	SCK 占空比	主模式	$f_{PCLK} = f_{HCLK}$	45	55	%
			$f_{PCLK} = f_{HCLK} / 2$ 且预分频系数 $\neq 3$	45	55	
			$f_{PCLK} = f_{HCLK} / 2$ 且预分频系数 = 3	40	60	
$t_{su(MI)}$	数据输入建立时间	主模式		6	—	ns
$t_{su(SI)}$		从模式		5	—	
$t_{h(MI)}$	数据输入保持时间	主模式		4	—	ns
$t_{h(SI)}$		从模式		5	—	
$t_a(SO)^{(4)}$	数据输出访问时间	从模式		t_{PCLK}	$2 t_{PCLK} + 25$	ns
$t_{dis(SO)}^{(5)}$	数据输出禁止时间	从模式		t_{PCLK}	$2 t_{PCLK} + 25$	ns
$t_v(SO)$	数据输出有效时间	从模式 (使能边沿之后)		—	25	ns
$t_v(MO)$	数据输出有效时间	主模式 (使能边沿之后)		—	10	ns
$t_h(SO)$	数据输出保持时间	从模式 (使能边沿之后)		9	—	ns
$t_h(MO)$		主模式 (使能边沿之后)		2	—	

注：1. 由设计模拟，不在生产中测试。

2. 从模式最大时钟频率不得超过 $f_{PCLK} / 2$ 。

3. 由综合评估得出，不在生产中测试，最大时钟频率与单片机和 PCB 布局高度相关。

4. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。

5. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

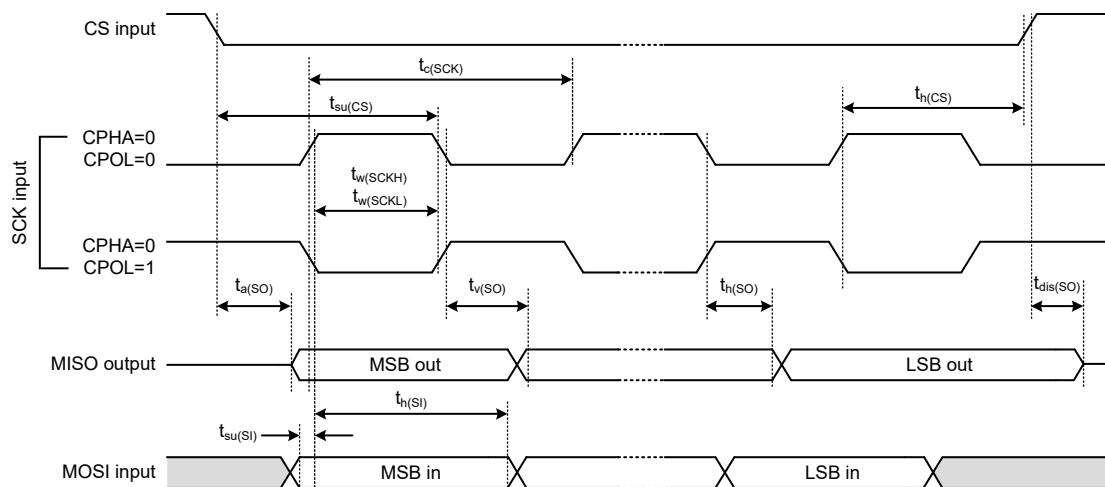


图 23. SPI 时序图 – 从模式和 CPHA = 0

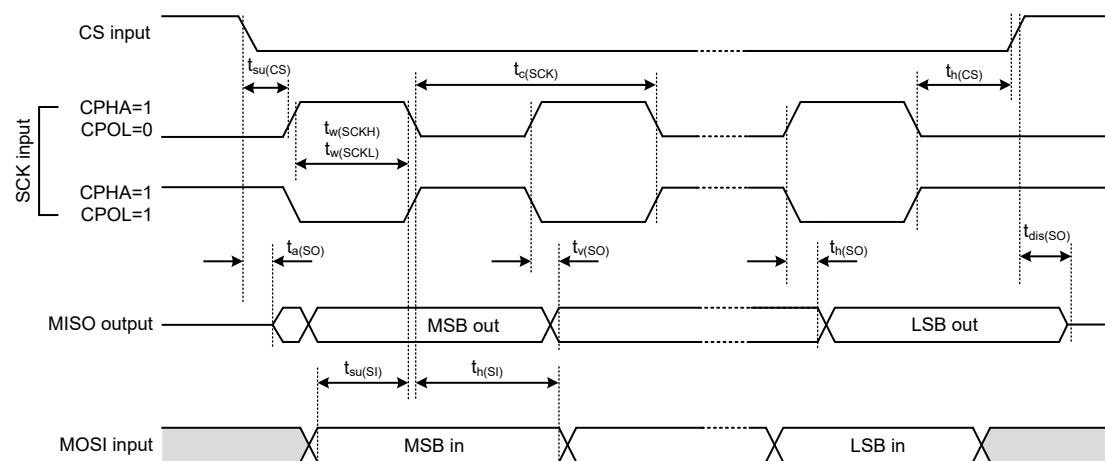


图 24. SPI 时序图 – 从模式和 CPHA = 1

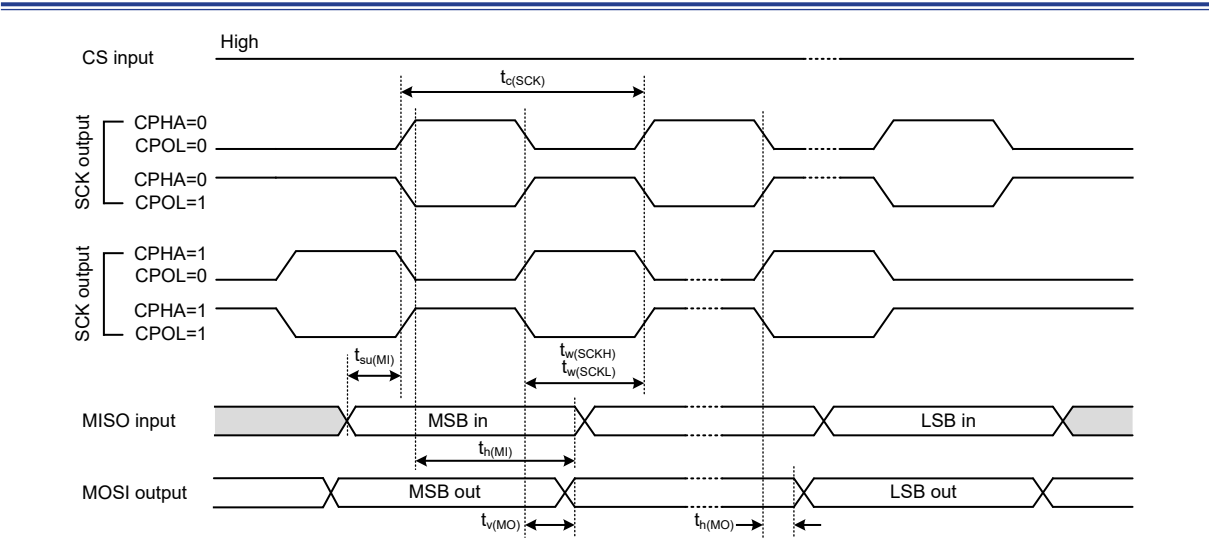


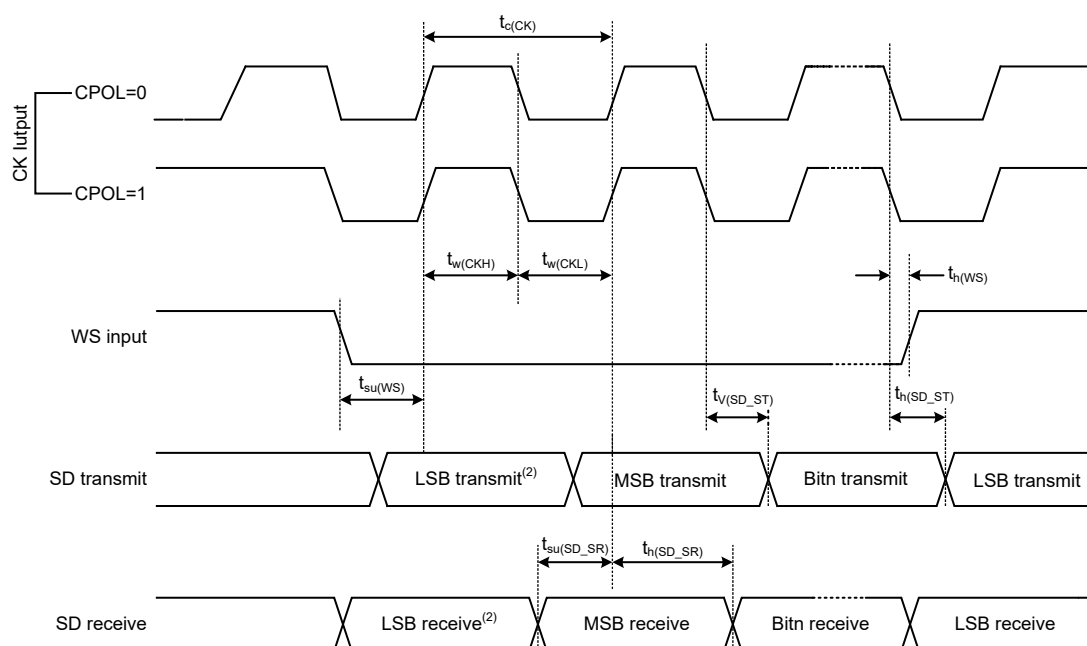
图 25. SPI 时序图 – 主模式

I²S 接口特性

表 43. I²S 特性 (注)

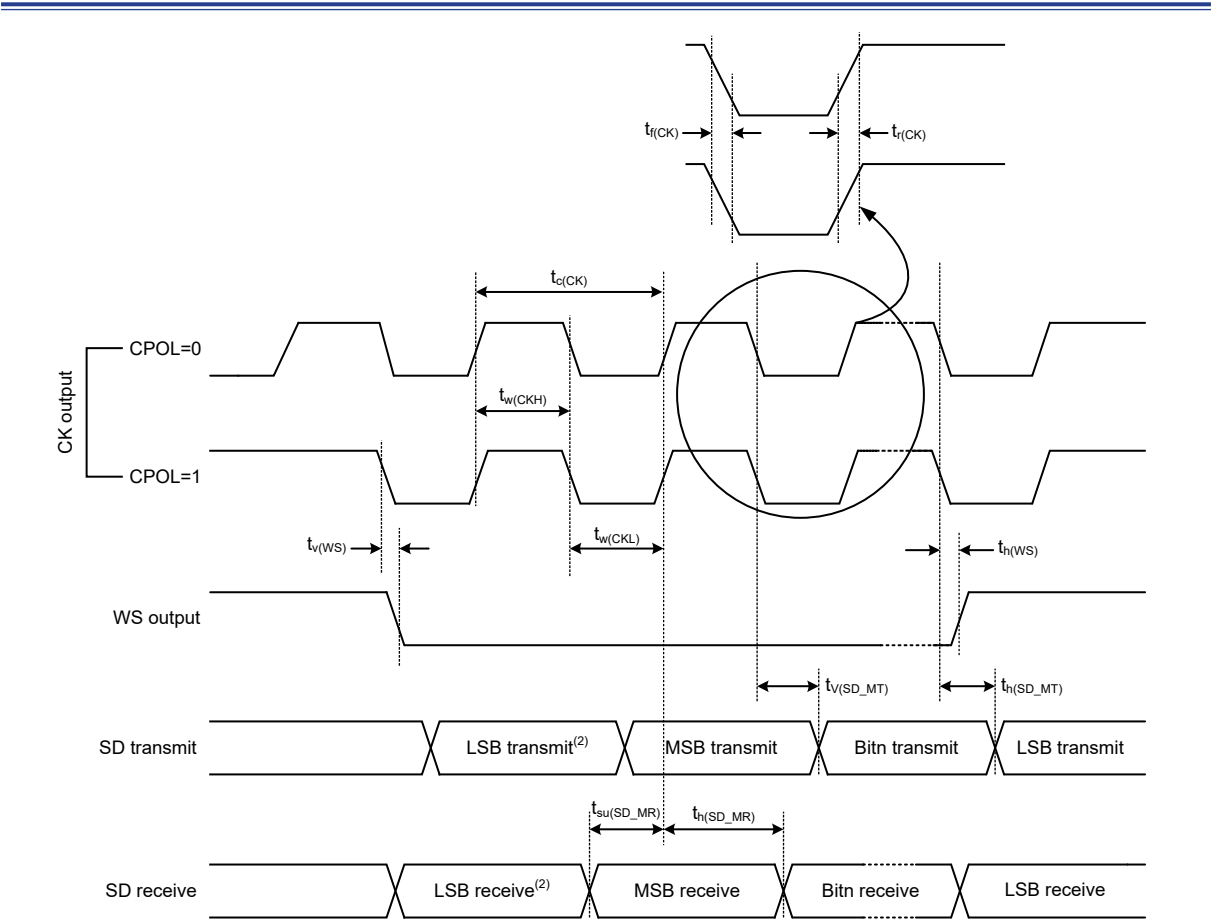
符号	参数	条件	最小值	最大值	单位
$t_{r(CK)}$ $t_{f(CK)}$	I ² S 时钟上升和下降时间	负载电容: C = 15 pF	—	12	ns
$t_{v(WS)}$	WS 有效时间	主模式	0	4	
$t_{h(WS)}$	WS 保持时间	主模式	0	4	
$t_{su(WS)}$	WS 建立时间	从模式	9	—	
$t_{h(WS)}$	WS 保持时间	从模式	0	—	
$t_{su(SD_MR)}$	数据输入建立时间	主接收器	6	—	
$t_{su(SD_SR)}$		从接收器	2	—	
$t_{h(SD_MR)}$	数据输入保持时间	主接收器	0.5	—	
$t_{h(SD_SR)}$		从接收器	0.5	—	
$t_{v(SD_ST)}$	数据输出有效时间	从发送器 (使能边沿之后)	—	20	
$t_{h(SD_ST)}$	数据输出保持时间	从发送器 (使能边沿之后)	9	—	
$t_{v(SD_MT)}$	数据输出有效时间	主发送器 (使能边沿之后)	—	15	
$t_{h(SD_MT)}$	数据输出保持时间	主发送器 (使能边沿之后)	0	—	

注：由设计模拟，不在生产中测试。



注：前一字节的最低位发送 / 接收。在第一个字节之前没有这个最低位的发送 / 接收。

图 26. I²S 从模式时序图 (Philips 协议)



注：前一字节的最低位发送 / 接收。在第一个字节之前没有这个最低位的发送 / 接收。

图 27. I²S 主模式时序图 (Philips 协议)

I²C 接口特性

SDA 和 SCL GPIO 要求的满足有以下限制：SDA 和 SCL 不是“真”开漏的引脚，当配置为开漏输出时，在引出脚和 VDD 之间的 PMOS 管被关闭，但仍然存在。

I²C 总线接口支持标准模式 (最高 100 kHz)、快速模式 (最高 400 kHz) 和增强快速模式 (最高 1 MHz)。

OTGFS 接口特性

表 44. OTGFS 启动时间

符号	参数	最大值	单位
$t_{STARTUP}^{(注)}$	OTGFS 收发器启动时间	1	μs

注：由设计模拟，不在生产中测试。

表 45. OTGFS 直流特性 ⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
输入电平	V _{DD}	OTGFS 操作电压	—	3.0 ⁽³⁾	3.6	V
	V _{DI}	差分输入灵敏度	I (OTGFS_D+/D-)	0.2	—	V
	V _{CM}	差分共模范围	包含 V _{DI} 范围	0.8	2.5	
	V _{SE}	单端接收器阈值	—	1.3	2.0	
输出电平	V _{OL}	静态输出低电平	1.24 kΩ 的 R _L 接至 3.6 V ⁽⁴⁾	—	0.3	V
	V _{OH}	静态输出高电平	15 kΩ 的 R _L 接至 V _{SS} ⁽⁴⁾	2.8	3.6	
R _{PU}	OTGFS_D+ 内部上拉电阻	空闲状态, V _{IN} = V _{SS}	0.97	1.24	1.58	kΩ
		接收状态, V _{IN} = V _{SS}	1.66	2.26	3.09	
R _{PD}	OTGFS_D+/D- 内部下拉电阻	V _{IN} = V _{DD}	15	19	25	kΩ

注：1. 所有的电压测量都是以设备端地线为准。
2. 由设计模拟，不在生产中测试。
3. 单片机的正确 USB 功能在低至 2.7 V 时仍可保证，但在 2.7 ~ 3.0 V 电压范围内不确保全部电气特性。
4. R_L 是连接到 USB 驱动器上的负载。

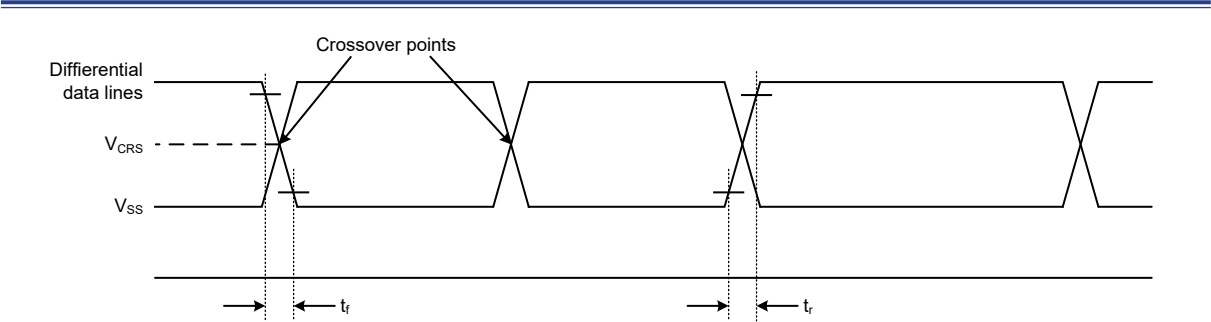


图 28. OTGFS 时序：数据信号上升和下降时间定义

表 46. OTGFS 电气特性 ⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t _r ⁽²⁾	上升时间	C _L ≤ 50 pF	4	20	ns
t _f ⁽²⁾	下降时间	C _L ≤ 50 pF	4	20	ns
t _{rfm}	上升下降时间匹配	t _r / t _f	90	110	%
V _{CRS}	输出信号交叉电压	—	1.3	2.0	V

注：1. 由设计模拟，不在生产中测试。
2. 测量数据信号从 10 % 至 90 %。更多详细信息，参见 USB 规范第 7 章 (2.0 版)。

12 位 ADC 特性

除非特别说明，下表的参数是使用符合表 12 的条件的环境温度， f_{CLK2} 频率和 V_{DDA} 供电电压测量得到。

注：建议在每次上电时执行一次校准。

表 47. ADC 特性

符号	参数	条件		最小值	典型值	最大值	单位
V _{DDA}	供电电压	—		2.4	—	3.6	V
V _{REF+} ⁽¹⁾	正参考电压	—		2.0	—	V _{DDA}	V
I _{DDA} ⁽²⁾	在 V _{DDA} 输入脚上的电流	f _{ADC} = 80 MHz		—	1000	1250	μA
I _{VREF+} ⁽¹⁾⁽²⁾	在 V _{REF+} 输入脚上的电流	f _{ADC} = 80 MHz		—	470	510	μA
f _{ADC}	ADC 时钟频率	V _{REF+} ≥ 3.0 V		0.6	—	80	MHz
		V _{REF+} < 3.0 V		0.6	—	30	
f _S ⁽³⁾	采样速率	分辨率 12 位	快速通道	0.04	—	5.33	MSPS
			慢速通道			4.21	
		分辨率 10 位	快速通道	0.047	—	6.15	
			慢速通道			4.71	
		分辨率 8 位	快速通道	0.055	—	7.27	
			慢速通道			5.33	
		分辨率 6 位	快速通道	0.067	—	8.88	
			慢速通道			6.15	
f _{TRIG} ⁽³⁾	外部触发频率	f _{ADC} = 80 MHz		—	—	4.44	MHz
		—		—	—	18	1/f _{ADC}
V _{AIN} ⁽³⁾	转换电压范围 ⁽¹⁾	—		0 (V _{REF-} 内部 连接到地)		V _{REF+}	V
R _{AIN} ⁽³⁾	外部输入阻抗	—		参见表 48			Ω
C _{ADC} ⁽³⁾	内部采样和保持电容	—		—	10	—	pF
t _{CAL} ⁽³⁾	校准时间	f _{ADC} = 80 MHz		2.56			μs
		—		205			1/f _{ADC}
t _{lat} ⁽³⁾	抢占触发转换时延	f _{ADC} = 80 MHz		—	—	37.5	ns
		—		—	—	3 ⁽⁴⁾	1/f _{ADC}
t _{latr} ⁽³⁾	普通触发转换时延	f _{ADC} = 80 MHz		—	—	25	ns
		—		—	—	2 ⁽⁴⁾	1/f _{ADC}
t _S ⁽³⁾	采样时间	f _{ADC} = 80 MHz		0.031	—	8.006	μs
		—		2.5	—	640.5	1/f _{ADC}
t _{STAB} ⁽³⁾	上电时间	—		45			1/f _{ADC}
t _{CONV} ⁽³⁾	总转换时间 (包括采样时间)	f _{ADC} = 80 MHz, 分辨率 12 位		0.188	—	8.163	μs
		分辨率 12 位		15 ~ 653 (采样 t _S + 逐步逼近 12.5)			1/f _{ADC}

注：1. 依据不同的封装， $V_{\text{REF+}}$ 可能在内部连接到 V_{DDA} 。

2. 由综合评估得出，不在生产中测试。

3. 由设计模拟，不在生产中测试。

4. 对于外部触发，必须在表 47 列出的时延中加上一个延迟 $1/f_{\text{CLK2}}$ 。

表 48 决定最大的外部阻抗，使得误差可以小于 1 LSB。(分辨率 12 位)

表 48. $f_{ADC} = 80 \text{ MHz}$ 时的最大 R_{AIN}

T_s (周期)	t_s (μs)	最大 $R_{AIN} (\Omega)$ (注)	
		快速通道	慢速通道
2.5	0.031	30	不支持
6.5	0.081	200	50
12.5	0.156	400	350
24.5	0.306	800	700
47.5	0.594	1700	1500
92.5	1.156	3000	2600
247.5	3.094	9000	8500
640.5	8.006	20000	19000

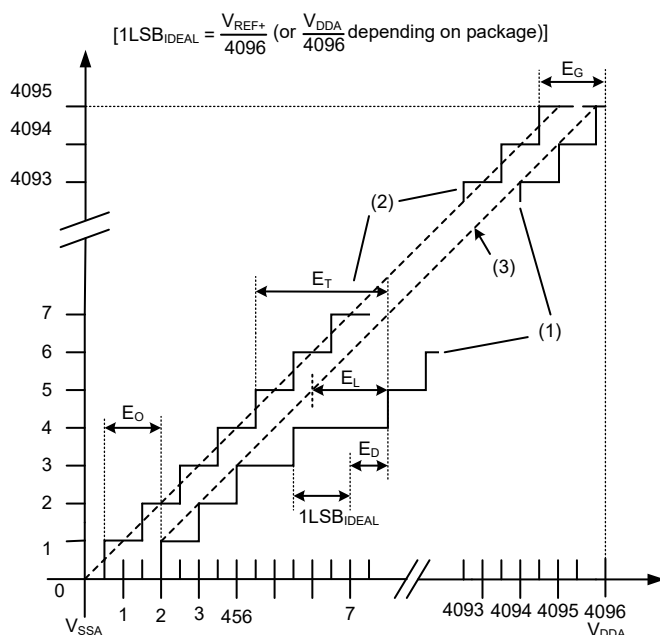
注：由设计模拟。

表 49. ADC 精度 (1)(2)

符号	参数	测试条件	典型值	最大值	单位
E_T	综合误差	$f_{ADC} = 80 \text{ MHz}$, $R_{AIN} < 20 \text{ k}\Omega$, $V_{DDA} = 3.0 \sim 3.6 \text{ V}$, $T_A = -40 \sim 105 \text{ }^\circ\text{C}$, $V_{REF+} = V_{DDA}$	± 3	± 5	LSB
E_O	偏移误差		-1	+1/-2	
E_G	增益误差		+2	+3.5	
E_D	微分线性误差		+2.5	+4/-1	
E_L	积分线性误差		+3	± 4.5	
E_T	综合误差	$f_{ADC} = 30 \text{ MHz}$, $R_{AIN} < 20 \text{ k}\Omega$, $V_{DDA} = 2.4 \sim 3.6 \text{ V}$, $T_A = -40 \sim 105 \text{ }^\circ\text{C}$, $V_{REF+} = V_{DDA}$	± 2	± 3.5	LSB
E_O	偏移误差		-0.5	+1/-2	
E_G	增益误差		+2	+3	
E_D	微分线性误差		± 0.75	± 1	
E_L	积分线性误差		± 1.5	± 2	
E_T	综合误差	$f_{ADC} = 30 \text{ MHz}$, $R_{AIN} < 20 \text{ k}\Omega$, $V_{DDA} = 2.4 \sim 3.6 \text{ V}$, $T_A = -40 \sim 105 \text{ }^\circ\text{C}$, $V_{REF+} = 2.0 \sim 2.4 \text{ V}$	± 2.5	± 4	LSB
E_O	偏移误差		-1.5	+1/-3.5	
E_G	增益误差		+2	+3.5	
E_D	微分线性误差		± 0.7	+1.2/-1	
E_L	积分线性误差		± 1.2	± 2	

注：1. ADC 的直流精度数值是在经过内部校准后测量的。

2. 由综合评估得出，不在生产中测试。



注：1. 实际 ADC 转换曲线的例子

2. 理想转换曲线

3. 实际转换终点连线

4. E_T 综合误差：实际转换曲线与理想转换曲线间的最大偏离

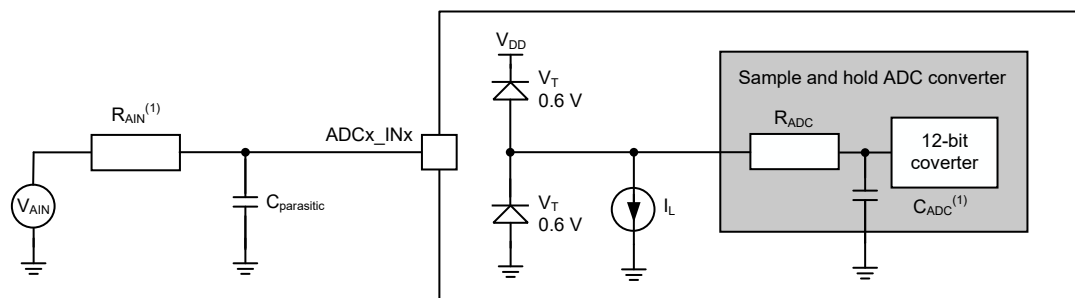
E_o 偏移误差：实际转换曲线上的第一次跃迁与理想转换曲线上的第一次跃迁之差

E_G 增益误差：实际转换曲线上的最后一次跃迁与理想转换曲线最后一次跃迁之差

E_D 微分线性误差：实际转换曲线上步距与理想步距 (1 LSB) 最大偏移

E_L 积分线性误差：实际转换曲线与终点连线间的最大偏离

图 29. ADC 精度特性



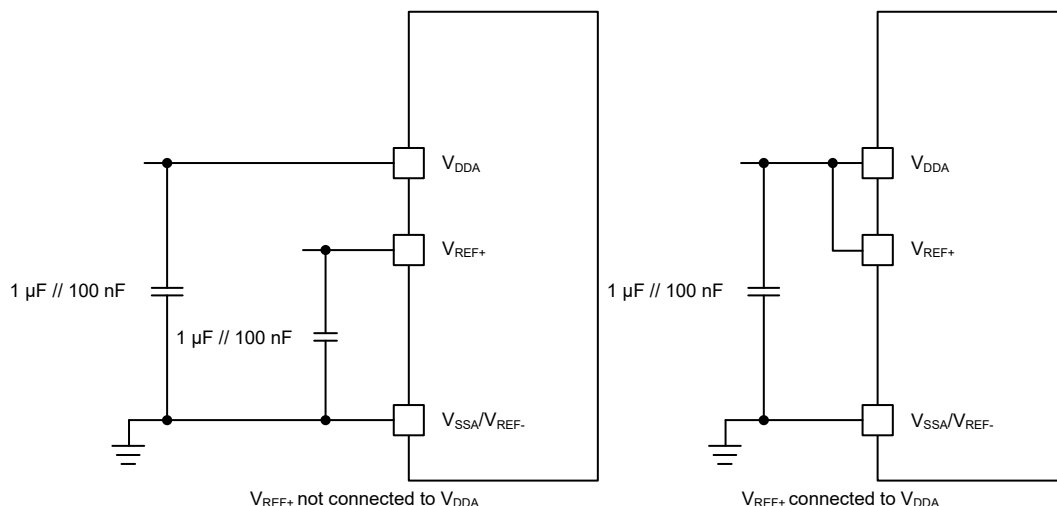
注：1. 有关 R_{AIN} 和 C_{ADC} 的数值，参见表 47。

2. $C_{parasitic}$ 表示 PCB (与焊接和 PCB 布局质量相关) 与焊盘上的寄生电容 (大约 7 pF)。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

图 30. 使用 ADC 典型的连接图

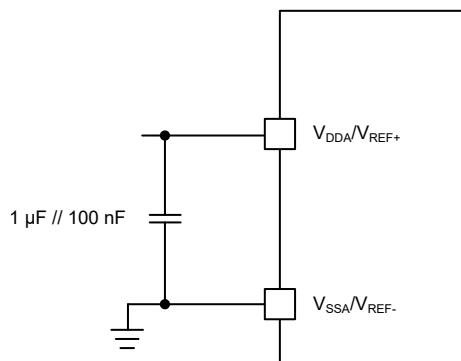
PCB 设计建议

依据 V_{REF+} 是否与 V_{DDA} 相连，电源的去耦必须按照图 31 或图 32 连接。图中的 100 nF 电容必须是瓷介电容 (好的质量)，它们应该尽可能地靠近 MCU 芯片。



注: V_{REF+} 输入只出现在 100 脚封装。

图 31. 供电电源和参考电源去耦线路 (具有外部 V_{REF+} 引脚封装)



注: V_{REF+} 输入只出现在 100 脚封装。

图 32. 供电电源去耦线路 (无外部 V_{REF+} 引脚封装)

内部参照电压 (V_{INTRV}) 特性

表 50. 内置参照电压特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{INTRV}^{(1)}$	内部参照电压	—	1.16	1.20	1.24	V
$T_{Coff}^{(1)}$	温度系数	—	—	50	100	ppm/°C
$T_{S_VINTRV}^{(2)}$	当读出内部参照电压时, ADC 的采样时间	—	5	—	—	μs

注: 1. 由综合评估得出, 不在生产中测试。

2. 由设计模拟, 不在生产中测试。

温度传感器 (V_{TS}) 特性

表 51. 温度传感器特性

符号	参数	条件	最小值	典型值	最大值	单位
T _L ⁽¹⁾	V _{TS} 相对于温度的线性度	T _A = -20 ~ +85 °C	—	±1	±2	°C
		T _A = -40 ~ +105 °C	—	—	±3	
Avg_Slope ⁽¹⁾⁽²⁾	平均斜率	—	-4.06	-4.26	-4.47	mV/°C
V ₂₅ ⁽¹⁾⁽²⁾	在 25 °C 时的电压	—	1.20	1.29	1.38	V
t _{START} ⁽³⁾	建立时间	—	—	—	100	μs
T _{S_temp} ⁽³⁾	当读取温度时，ADC 采样时间	—	5	—	—	μs

注：1. 由综合评估得出，不在生产中测试。
2. 温度传感器输出电压随温度线性变化，由于生产过程的变化，温度变化曲线的偏移在不同芯片上会有不同 (最多相差 50 °C)。内部温度传感器更适合于检测温度的变化，而不是测量绝对的温度。如果需要测量精确的温度，应该使用一个外置的温度传感器。
3. 由设计模拟，不在生产中测试。
利用下列公式得出温度：

温度 (°C) = {(V₂₅ - V_{TS}) / Avg_Slope} + 25

这里：

V₂₅ = V_{TS} 在 25 °C 时的数值

Avg_Slope = 温度与 V_{TS} 曲线的平均斜率 (单位为 mV / °C)

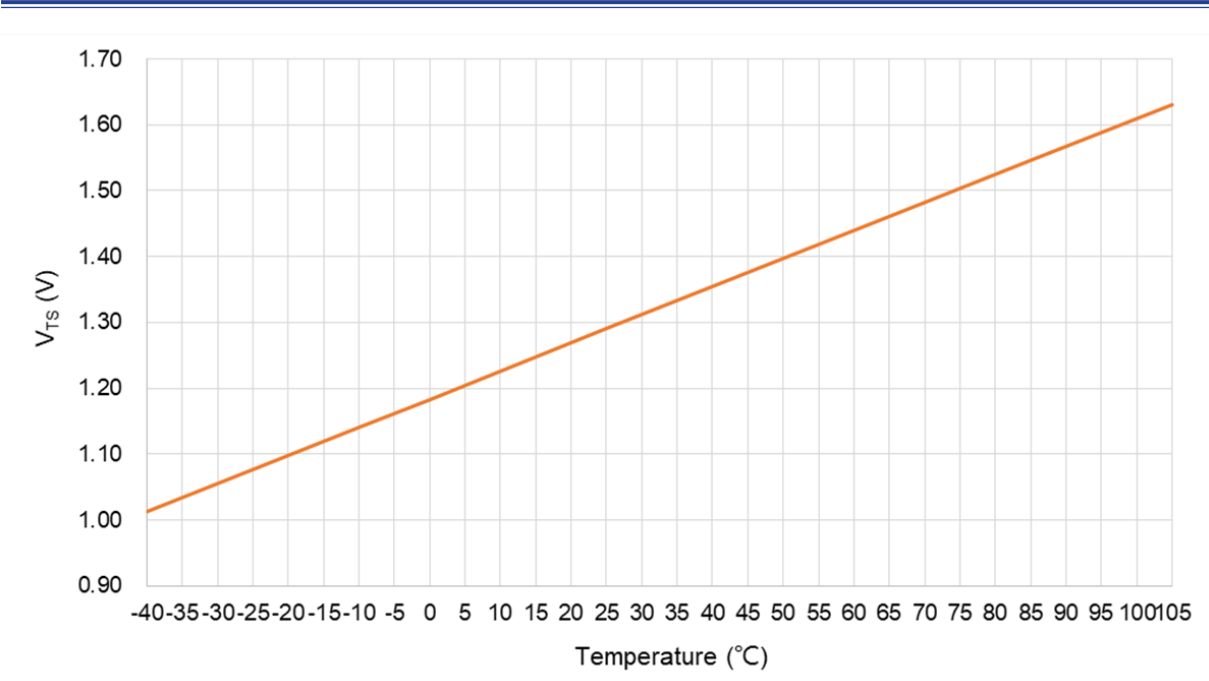


图 33. V_{TS} 对温度理想曲线图

12 位 DAC 特性

表 52. DAC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟供电电压	—	2.4	—	3.6	V
$V_{REF+}^{(1)}$	参考电压	—	2.0	—	3.6	V
V_{SSA}	地线	—	0	—	0	V
$R_{LOAD}^{(2)}$	缓冲器打开时的负载电阻	—	5	—	—	k Ω
$R_O^{(2)}$	缓冲器关闭时的输出阻抗	—	—	13.2	16	k Ω
$C_{LOAD}^{(2)}$	负载电容 (缓冲器打开时)	—	—	—	50	pF
DAC_OUT ⁽²⁾	缓冲器打开时低端的 DAC_OUT 电压	—	0.2	—	—	V
	缓冲器打开时高端的 DAC_OUT 电压	—	—	—	$V_{REF+} - 0.2$	V
	缓冲器关闭时低端的 DAC_OUT 电压	—	—	0.5	5	mV
	缓冲器关闭时高端的 DAC_OUT 电压	—	—	—	$V_{REF+} - 5\text{ mV}$	V
$I_{DDA}^{(3)}$	在静止模式 DAC 直流消耗	无负载, 当 $V_{REF+} = 3.6\text{ V}$ 时	—	450	515	μA
$I_{VREF+}^{(1)(3)}$	在静止模式 DAC 直流消耗	无负载, 当 $V_{REF+} = 3.6\text{ V}$ 时	—	380	390	μA
$DNL^{(3)}$	非线性失真	—	—	± 0.5	± 1	LSB
$INL^{(3)}$	非线性积累 (在代码 i 时测量的数值与代码 DAC_OUT 最大值和代码 DAC_OUT 最小值之间的连线间的偏差)	—	—	± 1	± 2	LSB
偏移误差 ⁽³⁾	偏移误差 (代码 0x800 时测量的数值与理想数值 $V_{REF+}/2$ 之间的偏差)	—	—	10	15	mV
		—	—	10	20	LSB
增益误差 ⁽³⁾	增益误差	—	—	0.2	0.4	%
$t_{SETTLING}^{(2)}$	设置时间	$R_{LOAD} \geq 5\text{ k}\Omega$ $C_{LOAD} \leq 50\text{ pF}$	—	1	4	μs
更新速率 ⁽²⁾	当输入代码为较小变化时 (从数值 i 变到 i + 1 LSB), 得到正确 DAC_OUT 的最大频率	$R_{LOAD} \geq 5\text{ k}\Omega$ $C_{LOAD} \leq 50\text{ pF}$	—	—	1	MSPS
$t_{WAKEUP}^{(2)}$	从关闭状态唤醒的时间 (设置 DAC 控制寄存器中的 EN 位)	$R_{LOAD} \geq 5\text{ k}\Omega$ $C_{LOAD} \leq 50\text{ pF}$	—	1.2	4	μs

注: 1. 依据不同的封装, V_{REF+} 可能在内部连接到 V_{DDA} 。

2. 由设计模拟, 不在生产中测试。

3. 由综合评估得出, 不在生产中测试。

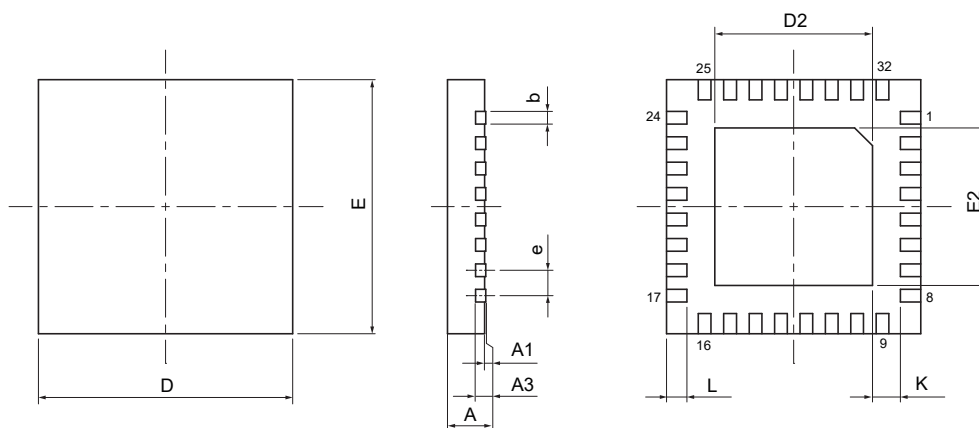
6 封装信息

请注意，这里提供的封装信息仅作为参考。由于这个信息经常更新，提醒用户咨询 [Holtek 网站](http://www.holtek.com) 以获取最新版本的 [封装信息](#)。

封装信息的相关内容如下所示，点击可链接至 Holtek 网站相关信息页面。

- 封装信息 (包括外形尺寸、包装带和卷轴规格)
- 封装材料信息
- 纸箱信息

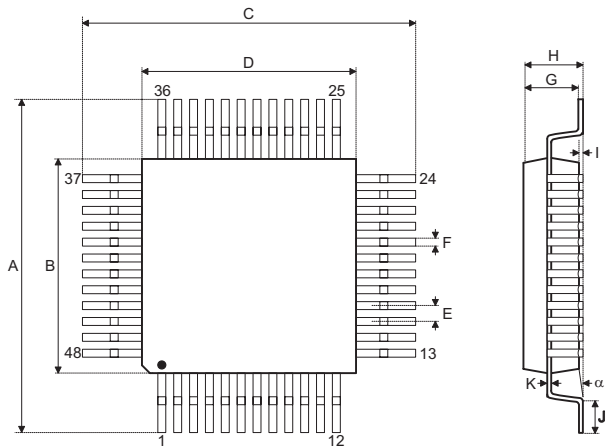
SAW Type 32-pin QFN (4 mm × 4 mm × 0.85 mm) 外形尺寸



符号	尺寸 (单位: inch)		
	最小值	典型值	最大值
A	0.031	0.033	0.035
A1	0.000	0.001	0.002
A3	0.008 REF		
b	0.006	0.008	0.010
D	0.157 BSC		
E	0.157 BSC		
e	0.016 BSC		
D2	0.100	—	0.108
E2	0.100	—	0.108
L	0.010	—	0.018
K	0.008	—	—

符号	尺寸 (单位: mm)		
	最小值	典型值	最大值
A	0.80	0.85	0.90
A1	0.00	0.02	0.05
A3	0.203 REF		
b	0.15	0.20	0.25
D	4.00 BSC		
E	4.00 BSC		
e	0.40 BSC		
D2	2.55	—	2.75
E2	2.55	—	2.75
L	0.25	—	0.45
K	0.20	—	—

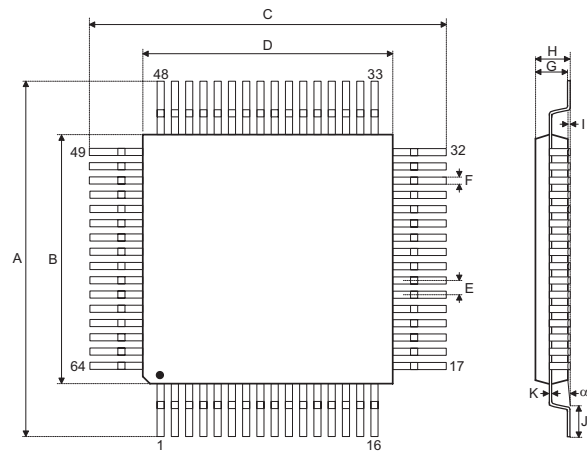
48-pin LQFP (7 mm × 7 mm) 外形尺寸



符号	尺寸 (单位: inch)		
	最小值	典型值	最大值
A	0.354 BSC		
B	0.276 BSC		
C	0.354 BSC		
D	0.276 BSC		
E	0.020 BSC		
F	0.007	0.009	0.011
G	0.053	0.055	0.057
H	—	—	0.063
I	0.002	—	0.006
J	0.018	0.024	0.030
K	0.004	—	0.008
α	0°	—	7°

符号	尺寸 (单位: mm)		
	最小值	典型值	最大值
A	9.00 BSC		
B	7.00 BSC		
C	9.00 BSC		
D	7.00 BSC		
E	0.50 BSC		
F	0.17	0.22	0.27
G	1.35	1.40	1.45
H	—	—	1.60
I	0.05	—	0.15
J	0.45	0.60	0.75
K	0.09	—	0.20
α	0°	—	7°

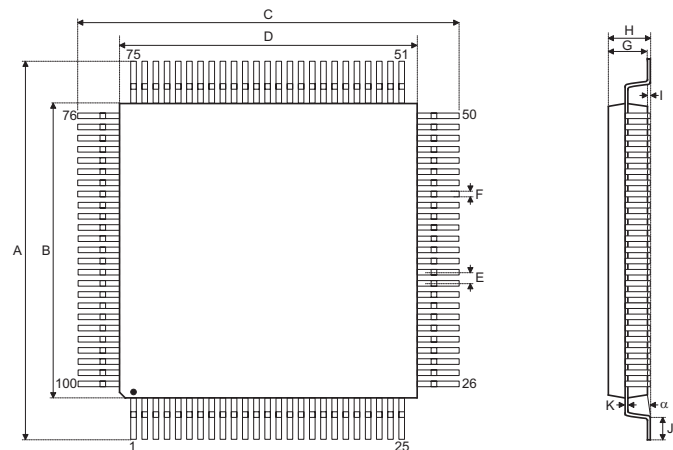
64-pin LQFP (7 mm × 7 mm) 外形尺寸



符号	尺寸 (单位: inch)		
	最小值	典型值	最大值
A	0.354 BSC		
B	0.276 BSC		
C	0.354 BSC		
D	0.276 BSC		
E	0.016 BSC		
F	0.005	0.007	0.009
G	0.053	0.055	0.057
H	—	—	0.063
I	0.002	—	0.006
J	0.018	0.024	0.030
K	0.004	—	0.008
α	0°	—	7°

符号	尺寸 (单位: mm)		
	最小值	典型值	最大值
A	9.00 BSC		
B	7.00 BSC		
C	9.00 BSC		
D	7.00 BSC		
E	0.40 BSC		
F	0.13	0.18	0.23
G	1.35	1.40	1.45
H	—	—	1.60
I	0.05	—	0.15
J	0.45	0.60	0.75
K	0.09	—	0.20
α	0°	—	7°

100-pin LQFP (14 mm × 14 mm) 外形尺寸



符号	尺寸 (单位: inch)		
	最小值	典型值	最大值
A	0.630 BSC		
B	0.551 BSC		
C	0.630 BSC		
D	0.551 BSC		
E	0.020 BSC		
F	0.007	0.009	0.011
G	0.053	0.055	0.057
H	—	—	0.063
I	0.002	—	0.006
J	0.018	0.024	0.030
K	0.004	—	0.008
α	0°	—	7°

符号	尺寸 (单位: mm)		
	最小值	典型值	最大值
A	16.00 BSC		
B	14.00 BSC		
C	16.00 BSC		
D	14.00 BSC		
E	0.50 BSC		
F	0.17	0.22	0.27
G	1.35	1.40	1.45
H	—	—	1.60
I	0.05	—	0.15
J	0.45	0.60	0.75
K	0.09	—	0.20
α	0°	—	7°

热特性

根据电路板为 FR-4 材质，板厚 1.6 mm，两层板仿真计算。由设计模拟，不在生产中测试。

表 53. 封装的热特性

符号	参数	数值	单位
Θ_{JA}	结到环境的热阻抗 (100LQFP – 14 mm × 14 mm)	75.6	°C/W
	结到环境的热阻抗 (64LQFP – 7 mm × 7 mm)	92.4	
	结到环境的热阻抗 (48LQFP – 7 mm × 7 mm)	92.4	
	结到环境的热阻抗 (32QFN – 4 mm × 4 mm)	71.3	

Copyright© 2025 by HOLTEK SEMICONDUCTOR INC. All Rights Reserved.

本文件出版时 HOLTEK 已针对所载信息为合理注意，但不保证信息准确无误。文中提到的信息仅是提供作为参考，且可能被更新取代。HOLTEK 不担保任何明示、默示或法定的，包括但不限于适合商品化、令人满意的质量、规格、特性、功能与特定用途、不侵害第三方权利等保证责任。HOLTEK 就文中提到的信息及该信息之应用，不承担任何法律责任。此外，HOLTEK 并不推荐将 HOLTEK 的产品使用在会由于故障或其他原因而可能会对人身安全造成危害的地方。HOLTEK 特此声明，不授权将产品使用于救生、维生或安全关键零部件。在救生 / 维生或安全应用中使用 HOLTEK 产品的风险完全由买方承担，如因该等使用导致 HOLTEK 遭受损害、索赔、诉讼或产生费用，买方同意出面进行辩护、赔偿并使 HOLTEK 免受损害。HOLTEK (及其授权方，如适用) 拥有本文件所提供信息 (包括但不限于内容、数据、示例、材料、图形、商标) 的知识产权，且该信息受著作权法和其他知识产权法的保护。HOLTEK 在此并未明示或暗示授予任何知识产权。HOLTEK 拥有不事先通知而修改本文件所载信息的权利。如欲取得最新的信息，请与我们联系。