



HT32F49365/HT32F49395

产品规格书

带 Arm® Cortex®-M4 内核以及 ADC、DAC、USART、UART、SPI、I²S、I²C、GPTMR、PWM、Basic TMR、CRC、RTC、WDT、WWDT、DMA、SDIO、CAN、XMC、SPIM 和 USBFS 高达 1024 KB Flash 和 96 + 128 KB SRAM 的 Holtek 32-Bit 单片机

版本: V1.00 日期: 2023-06-08

www.holtek.com

目录

1 简介	7
2 特性	8
带有 FPU 的 Arm® Cortex®-M4	8
存储器	8
中断	9
电源控制 (PWC)	9
启动模式	10
时钟	10
通用输入输出 (GPIO)	10
重映射功能	11
直接存储器访问控制器 (DMA)	11
定时器 (TMR)	11
看门狗 (WDT)	12
窗口型看门狗 (WWDT)	13
实时时钟 (RTC) 和电池供电寄存器 (BPR)	13
通信接口	13
循环冗余校验 (CRC) 计算单元	14
模拟 / 数字转换器 (ADC)	14
数字 / 模拟信号转换器 (DAC)	15
调试	15
3 概述	16
单片机信息	16
方框图	18
存储器映射	19
时钟结构	23
4 引脚图	24
5 电气特性	32
测试条件	32
绝对最大值	33
通用工作条件	34
上电和掉电时的工作条件	34
内嵌复位和电源管理模块特性	35
存储器特性	36
供电电流特性	36
外部时钟源特性	44

内部时钟源特性.....	47
PLL 特性.....	48
低功耗模式唤醒时间.....	48
EMC 特性.....	48
GPIO 端口特性.....	49
NRST 引脚特性.....	51
XMC 特性.....	51
TMR 定时器特性.....	58
SPI / I ² S 接口特性.....	59
I ² C 接口特性.....	62
SDIO 接口特性.....	63
USBFS 接口特性.....	64
12 位 ADC 特性.....	65
内部参照电压 (V _{INTRV}) 特性.....	68
温度传感器 (V _{TS}) 特性.....	69
12 位 DAC 特性.....	70
6 封装信息.....	71
SAW Type 48-pin QFN (6 mm × 6 mm × 0.85 mm) 外形尺寸.....	72
48-pin LQFP (7 mm × 7 mm) 外形尺寸.....	73
64-pin LQFP (10 mm × 10 mm) 外形尺寸.....	74
100-pin LQFP (14 mm × 14 mm) 外形尺寸.....	75
封装热特性.....	76

表列表

表 1. 启动加载程序 (Bootloader) 的型号支持和管脚配置 10

表 2. 定时器功能比较 11

表 3. USART/UART 功能比较 13

表 4. 特性及外设列表 16

表 5. 外设边界地址 20

表 6. 引脚定义 26

表 7. XMC 引脚定义 30

表 8. 电压特性 33

表 9. 电流特性 33

表 10. 温度特性 33

表 11. ESD 值 33

表 12. Latch-up 值 34

表 13. 通用工作条件 34

表 14. 上电和掉电时的工作条件 34

表 15. 内嵌复位和电源管理模块特性 35

表 16. 内部闪存存储器特性 36

表 17. 内部闪存存储器寿命和数据保存期限 36

表 18. 运行模式下的典型电流消耗 37

表 19. 睡眠模式下的典型电流消耗 38

表 20. 运行模式下的最大电流消耗 39

表 21. 睡眠模式下的最大电流消耗 40

表 22. 深睡眠和待机模式下的典型和最大电流消耗 40

表 23. V_{BAT} 的典型和最大电流消耗 42

表 24. 内置外设的电流消耗 43

表 25. HEXT 4 ~ 25 MHz 晶振特性 ⁽¹⁾⁽²⁾ 44

表 26. HEXT 外部时钟源特性 45

表 27. LEXT 32.768 kHz 晶振特性 ⁽¹⁾⁽²⁾ 45

表 28. LEXT 外部时钟源特性 46

表 29. HICK 时钟特性 47

表 30. LICK 时钟特性 48

表 31. PLL 特性 48

表 32. 低功耗模式的唤醒时间 48

表 33. EMS 特性 49

表 34. GPIO 静态特性 49

表 35. 输出电压特性 50

表 36. 输入交流特性 50

表 37. NRST 引脚特性 51

表 38. 异步总线复用的 PSRAM/NOR 读操作时序 51

表 39. 异步总线复用的 PSRAM/NOR 写操作时序 53

表 40. 同步总线复用 PSRAM/NOR 读操作时序 54

表 41. 同步总线复用 PSRAM 写操作时序 55

表 42. NAND 闪存读写操作时序 57

表 43. TMR 定时器特性 58

表列表

表 44. SPI 特性 59

表 45. I²S 特性 61

表 46. SD/MMC 接口特性 63

表 47. USBFS 启动时间 64

表 48. USBFS 直流特性 64

表 49. USBFS 电气特性 64

表 50. ADC 特性 65

表 51. f_{ADC} = 14 MHz 时的最大 R_{AIN} 65

表 52. f_{ADC} = 28 MHz 时的最大 R_{AIN} 66

表 53. ADC 精度⁽¹⁾ 66

表 54. 内置参照电压特性 68

表 55. 温度传感器特性 69

表 56. DAC 特性 70

图列表

图 1. 方框图	18
图 2. 存储器映射	19
图 3. 时钟结构	23
图 4. 48-pin LQFP 引脚图	24
图 5. 48-pin QFN 引脚图	24
图 6. 64-pin LQFP 引脚图	25
图 7. 100-pin LQFP 引脚图	25
图 8. 供电方案	32
图 9. 上电复位和低电压复位的波形图	35
图 10. 深睡眠模式下的典型电流消耗在不同的 V_{DD} 时与温度的对比	41
图 11. 待机模式下的典型电流消耗在不同的 V_{DD} 时与温度的对比	41
图 12. V_{BAT} 的典型电流消耗 (LEXT 和 RTC 开启) 在不同的 V_{BAT} 电压时与温度的对比	42
图 13. HEXT 使用 8 MHz 晶振的典型应用	44
图 14. HEXT 外部时钟源交流时序图	45
图 15. LEXT 使用 32.768 kHz 晶振的典型应用	46
图 16. LEXT 外部时钟源交流时序图	46
图 17. HICK 时钟精度与温度的对比	47
图 18. 建议的 NRST 引脚保护	51
图 19. 异步总线复用 PSRAM/NOR 读操作波形	52
图 20. 异步总线复用 PSRAM/NOR 写操作波形	53
图 21. 同步总线复用 PSRAM/NOR 读操作波形	55
图 22. 同步总线复用 PSRAM 写操作波形	56
图 23. NAND 控制器读操作波形	57
图 24. NAND 控制器写操作波形	57
图 25. NAND 控制器在通用存储空间的读操作波形	58
图 26. NAND 控制器在通用存储空间的写操作波形	58
图 27. SPI 时序图 – 从模式和 CPHA = 0	59
图 28. SPI 时序图 – 从模式和 CPHA = 1	60
图 29. SPI 时序图 – 主模式	60
图 30. PS 从模式时序图 (Philips 协议)	61
图 31. PS 主模式时序图 (Philips 协议)	62
图 32. SDIO 高速模式	63
图 33. SD 默认模式	63
图 34. USBFS 时序: 数据信号上升和下降时间定义	64
图 35. ADC 精度特性	67
图 36. 使用 ADC 典型的连接图	67
图 37. 供电电源和参考电源去藕线路 (V_{REF+} 未与 V_{DDA} 相连)	68
图 38. 供电电源和参考电源去藕线路 (V_{REF+} 与 V_{DDA} 相连)	68
图 39. V_{TS} 对温度理想曲线图	69

1 简介

该系列单片机是基于高性能的 Arm®Cortex®-M4 32 位的 RISC 内核，工作频率最高可达 240 MHz，Cortex®-M4 内核带有单精度浮点运算单元 (FPU)，支持所有 Arm® 单精度数据处理指令和数据类型。它还具有一组 DSP 指令和提高应用安全性的一个存储器保护单元 (MPU)。

内置高速存储器 (高达 1024 K 字节的内存和 96 + 128 K 字节的 SRAM)，并可使用外部存储器 (高达 16 M 字节 SPI 闪存)，丰富的增强 GPIO 端口和联接到两条 APB 总线的外设。内置存储器可设置任意范围程序区受 sLib 保护，成为执行代码安全库区。

该系列单片机提供 3 个 12 位的 ADC、2 个 12 位的 DAC、8 个通用 16 位定时器、2 个通用 32 位定时器和多达 2 个可用于电机控制的 PWM 定时器。它们还带有标准和先进的通信接口：多达 3 个 I²C 接口、4 个 SPI 接口 (复用为 I²S 接口)、2 个 SDIO 接口、8 个 USART/UART 接口、1 个 USBFS 接口和 2 个 CAN 接口。

该系列单片机工作于 -40 °C 至 +105 °C 的温度范围，供电电压 2.6 V 至 3.6 V，省电模式保证低功耗应用的要求。

该系列单片机提供各种不同封装形式；根据不同的封装形式，其系列产品之间是完全地引脚兼容，软件和功能上也兼容，仅产品中的外设配置不尽相同。

arm CORTEX

2 特性

带有 FPU 的 Arm® Cortex®-M4

Arm® Cortex®-M4 是最新一代的嵌入式 Arm® 内核处理器, 它是一款 32 位的 RISC 高性能处理器, 具有优异的代码效率, 卓越的计算性能和先进的中断系统响应。该处理器支持一组 DSP 指令, 能够实现有效的信号处理和复杂的算法执行。它配有的单精度 FPU (浮点单元) 可加速浮点运算需求并防止饱和。

存储器

内置闪存存储器

内置高达 1024 K 字节的内部闪存存储器, 用于存放程序和数据。内置存储器可指定任意一范围程序区受 sLib (security library) 保护, 成为仅能执行无法被读取的执行代码安全库区。sLib 是基于保护方案商代码安全之下, 又顾及其客户便于进行二次开发而设计的。

额外提供外部 SPI 闪存程序数据存储器接口 SPIM (SPI Memory), 可访问最大容量高达 16 M 字节作为扩充的闪存存储器片 3 (Bank 3) 使用。另外增加加密保护功能可透过用户系统数据决定数据是否加密, 可由寄存器控制加密范围。

片上另有 18 K 字节的启动代码区, 启动加载程序 (Bootloader) 存放于其中。

另外内部包含用户系统数据区块, 用于配置访问擦写保护、看门狗自启动等硬件设置行为。用户系统数据对于存储器提供擦写保护和访问保护各自设置功能。

存储器保护单元 (MPU)

存储器保护单元 (MPU) 用于管理 CPU 对存储器的访问, 防止一个任务意外损坏另一个激活任务所使用的存储器或资源。此存储区被组织为最多 8 个保护区, 还可依次再被分为最多 8 个子区。保护区大小可为 32 字节至可寻址存储器的整个 4 G 字节。

MPU 特别适合应用在有一些关键的或认证的代码必须受到保护, 以免被其它任务的错误行为影响。它通常由 RTOS (实时操作系统) 管理。

内置随机存取存储器 (SRAM)

高达 224 K 字节的内置 SRAM, CPU 能以零等待周期访问 (读 / 写)。

外部存储器控制器 (XMC)

HT32F49365/HT32F49395 集成了外部存储器控制器模块 (XMC)。它具有 2 个片选输出, 支持复用信号的 NOR/PSRAM 存储器和 16 位或 8 位 NAND 闪存存储器。

主要功能:

- 写入缓存;
- 代码可以在复用信号的 NOR/PSRAM 片外存储器运行。

XMC 也可以配置成与多数图形 LCD 控制器连接, 它支持 Intel 8080 和 Motorola 6800 的模式。

中断

嵌套的向量式中断控制器 (NVIC)

该系列单片机内置嵌套的向量式中断控制器，可管理 16 个优先级，处理 Cortex®-M4 内核的可屏蔽中断通道及 16 个中断线。该模块以最小的中断延迟提供灵活的中断管理功能。

外部中断 (EXINT)

外部中断 (EXINT) 与 NVIC 直接连接，EXINT 包含 19 个边沿检测器，用于产生中断请求。每个中断线都可以独立地配置它的触发事件（上升沿、下降沿、或双边沿），并能够单独地被屏蔽；挂起寄存器维持所有中断请求的状态。外部中断其中最多有 16 根可从 GPIO 中选择连接。

电源控制 (PWC)

供电方案

- $V_{DD} = 2.6 \sim 3.6 \text{ V}$ ：通过 V_{DD} 引脚为 GPIO 引脚和内部模块如调压器 (LDO) 供电。
- $V_{DDA} = 2.6 \sim 3.6 \text{ V}$ ：通过 V_{DDA} 为 ADC 和 DAC 供电。 V_{DDA} 和 V_{SSA} 必须与 V_{DD} 和 V_{SS} 等电位。
- $V_{BAT} = 1.8 \sim 3.6 \text{ V}$ ： V_{BAT} 引脚允许从外部电池、外部超级电容器为器件的 V_{BAT} 域供电，或当没有外部电池及外部超级电容器时从 V_{DD} 供电。当没有 V_{DD} 存在时， V_{BAT} 引脚（通过内部电源切换器）为 RTC、外部 32.768 kHz 晶振 (LEXT) 和电池供电寄存器 (BPR) 供电。

复位和电源电压监测器 (POR / LVR / PVM)

该系列单片机内部集成了上电复位 (POR) 和低电压复位 (LVR) 电路，该电路始终处于工作状态，使得器件在供电超过 2.6 V 时工作；当 V_{DD} 低于设定的阈值 (V_{LVR}) 时，置器件于复位状态，而不必使用外部复位电路。

单片机中还有一个电源电压监测器 (PVM)，它监视 V_{DD} 供电并与阈值 V_{PVM} 比较，当 V_{DD} 下降至低于或爬升至高于阈值 V_{PVM} 时产生中断。PVM 功能需要通过程序开启。

电压调压器 (LDO)

LDO 有三个操作模式：正常模式、低功耗模式和关断模式。

- 正常模式：用于正常的运行 / 睡眠操作并可用于 CPU 的深睡眠模式；
- 低功耗模式：可用于 CPU 的深睡眠模式；
- 关断模式：用于 CPU 的待机模式。LDO 的输出为高阻状态，内核电路的供电切断，寄存器和 SRAM 的内容将丢失。

LDO 在复位后处于正常模式工作状态。

低功耗模式

该系列单片机支持三种低功耗模式：

■ 睡眠模式 (Sleep)

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断 / 事件时唤醒 CPU。

■ 深睡眠模式 (Deepsleep)

深睡眠模式下可以实现低功耗，同时保持 SRAM 和寄存器的内容。此时，LDO 域中的所有时钟都会停止，PLL、HICK 时钟和 HEXT 晶振也被关闭。还可以将 LDO 置于正常模式或低功耗模式。

可以通过任一配置成 EXINT 的信号把单片机从深睡眠模式中唤醒，EXINT 信号可以是 16 个外部 GPIO 口之一、PVM 的输出、RTC 闹钟或 USBFS 的唤醒信号。

■ 待机模式 (Standby)

在待机模式下可以达到最低的电能消耗。内部的电压调压器被关闭，因此所有内部 LDO 域的供电被切断，PLL、HICK 时钟和 HEXT 晶振也被关闭。进入待机模式后，SRAM 和寄存器的内容将消失，但 RTC 寄存器和电池供电寄存器的内容仍然保留，待机电路仍工作。

从待机模式退出的条件是：NRST 上的外部复位信号、WDT 复位、WKUP 引脚上的一个上升边沿或 RTC 的闹钟到时。

注：在进入深睡眠或待机模式时，RTC 以及对应的时钟不会被停止。WDT 视用户系统数据设置决定。

启动模式

在启动时，通过对启动引脚设置可以选择三种启动模式中的一种：

- 从程序内部闪存存储器启动。对于该系列单片机，用户可以选择从任意一个内部闪存存储块启动。默认选择片 1 (Bank 1)，也可以设置用户系统数据从而选择片 2 (Bank 2)；
- 从启动代码区启动；
- 从内部 SRAM 启动。

启动加载程序 (Bootloader) 存放于启动代码区中，可以通过 USART1, USART2 或 USBFS1 对闪存重新编程。若设置 SPIM_IO0/I 管脚与 USBFS1 多工使用，无法通过 USBFS1 无法对闪存存储器片 3 (Bank 3) 编程。表 1 提供启动加载程序 (Bootloader) 对 HT32F49365/ HT32F49395 的型号支持和管脚配置。

表 1. 启动加载程序 (Bootloader) 的型号支持和管脚配置

外设	适用型号	对应管脚
USART1	全部型号	PA9: USART1_TX PA10: USART1_RX
USART2	HT32F49395(100LQFP)	PD5: USART2_TX (重映射) PD6: USART2_RX (重映射)
	HT32F49395(100LQFP) 以外其他型号	PA2: USART2_TX PA3: USART2_RX
USBFS1	全部型号	PA11: USBFS1_D- PA12: USBFS1_D+

时钟

系统时钟在复位后，高速内部 48 MHz 时钟 (HICK) 经 6 分频后 (8 MHz) 被选为默认的 CPU 时钟，随后可以选择外部的、具失效监控的 4 ~ 25 MHz 高速晶振 (HEXT) 作为系统时钟；当检测到高速外部晶振失效时，它将被关闭，系统将自动地切换到 HICK，软件可以接收到相应的中断。同样当 PLL 使用的高速外部晶振失效时，硬件也会如此自动设置。

时钟控制分成多个预分频器用于配置 AHB 的频率和 APB (APB1 和 APB2) 的频率。AHB 的最高频率是 240 MHz，APB 的最高频率为 120 MHz。

另外，该系列单片机内嵌一个特别的自动时钟校准 (ACC) 模块，高速内部时钟 HICK 48 MHz 可被此模块校准，可保证在整个芯片可操作温度范围内 HICK 的最佳准确度。

通用输入输出 (GPIO)

每个 GPIO 引脚都可以由软件配置成输出 (推挽或开漏)、输入 (带或不带上拉或下拉) 或多工的外设功能端口。多数 GPIO 引脚都与数字或模拟的多个外设共享。所有的 GPIO 引脚都有大电流通过能力。

在需要的情况下, GPIO 引脚的外设功能可以通过一个特定的操作锁定, 以避免意外的写入 GPIO 寄存器。

重映射功能

此功能使用户可以在选定的应用下实现最多数量的外设功能。那些多工的外设功能不仅仅可以通过默认的引脚实现, 还可以通过其他可重映射的引脚实现。这使得引脚的选择更加灵活, 制板更加方便。

具体请参考表 6, 列出了所有可以重映射的外设功能, 以及重映射到的引脚。请参考该系列单片机用户手册来获得软件配置的详细信息。

直接存储器访问控制器 (DMA)

灵活的 14 路通用 DMA (DMA1 上有 7 个通道, DMA2 上有 7 个通道) 可以管理存储器到存储器、外设到存储器和存储器到外设的数据传输。2 个 DMA 控制器支持环形缓冲区的管理, 当控制器传输到达缓冲区结尾时无需通过用户代码干预处理。

每个通道都有专门的硬件 DMA 请求逻辑, 同时可以由软件触发每个通道。传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA 可以用于主要的外设: SPI, I²C, USART, 高级、通用和基本定时器 TMRx, DAC, I²S, SDIO 和 ADC。

定时器 (TMR)

该系列单片机包含最多 2 个高级定时器、10 个通用定时器和 2 个基本定时器, 以及 1 个系统嘀嗒定时器。

下表比较了高级定时器、通用定时器和基本定时器的功能:

表 2. 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	产生 DMA 请求	捕获 / 比较通道	互补输出
TMR1, TMR8	16 位	向上, 向下, 向上 / 下	1 ~ 65536 之间的任意整数	可以	4	有
TMR2, TMR5	32 位	向上, 向下, 向上 / 下	1 ~ 65536 之间的任意整数	可以	4	没有
TMR3, TMR4	16 位	向上, 向下, 向上 / 下	1 ~ 65536 之间的任意整数	可以	4	没有
TMR9, TMR12	16 位	向上	1 ~ 65536 之间的任意整数	不可以	2	没有
TMR10, TMR11 TMR13, TMR14	16 位	向上	1 ~ 65536 之间的任意整数	不可以	1	没有
TMR6, TMR7	16 位	向上	1 ~ 65536 之间的任意整数	可以	0	没有

高级定时器 (TMR1 和 TMR8)

两个高级定时器 (TMR1 和 TMR8) 可以被看成是分配到 6 个通道的三相 PWM 发生器, 它们具有带死区插入的互补 PWM 输出, 还可以被当成完整的通用定时器。

四个独立的通道可以用于:

- 输入捕获
- 输出比较
- 产生 PWM (边缘或中心对齐模式)
- 单周期输出

配置为 16 位通用定时器时, 它与 TMRx 定时器具有相同的功能。配置为 16 位 PWM 发生器时, 它具有全调制能力 (0 ~ 100%)。

在调试模式下, 计数器可以被冻结, 同时 PWM 输出被禁止, 从而切断由这些输出所控制的开关。

很多功能都与通用定时器相同, 内部结构也相同, 因此高级定时器可以通过定时器链接功能与通用定时器协同操作, 提供同步或事件链接功能。

通用定时器 (TMRx)

在该系列单片机中, 内置了多达 10 个可同步运行的定时器。

■ TMR2, TMR3, TMR4 和 TMR5

该系列单片机内置了多达 4 个全功能通用定时器 (TMR2, TMR3, TMR4 和 TMR5)。TMR2 和 TMR5 是基于一个 32 位自动加载递加 / 递减计数器和一个 16 位的预分频器。而 TMR3 和 TMR4 是基于一个 16 位自动加载递加 / 递减计数器和一个 16 位的预分频器。这些定时器在最大的封装都提供 4 个独立的通道, 每个通道都可用于输入捕获、输出比较、PWM 和单周期模式输出。

它们还能通过定时器链接功能与高级定时器共同工作, 提供同步或事件链接功能。在调试模式下, 计数器可以被冻结。任一通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

这些定时器还能够处理增量编码器的信号, 也能处理 1 至 3 个来自霍尔传感器的数字输出。

■ TMR9 和 TMR12

TMR9 和 TMR12 都有一个 16 位的自动加载递加计数器、一个 16 位的预分频器和 2 个独立的通道, 每个通道都可用于输入捕获、输出比较、PWM 和单周期模式输出, 它们可以与全功能通用定时器 (TMR2, TMR3, TMR4 和 TMR5) 同步。它们也可以用作简单的定时器。

■ TMR10, TMR11, TMR13 和 TMR14

这些定时器都有一个 16 位的自动加载递加计数器、一个 16 位的预分频器和 1 个独立的通道, 每个通道都可用于输入捕获、输出比较、PWM 和单周期模式输出, 它们可以与全功能通用定时器 (TMR2, TMR3, TMR4 和 TMR5) 同步。它们也可以用作简单的定时器。

基本定时器 (TMR6 和 TMR7)

这 2 个定时器主要是用于产生 DAC 触发信号, 也可当成通用的 16 位时基计数器。

系统滴答定时器 (SysTick)

这个定时器是专用于实时操作系统, 也可当成一个标准的递减计数器。它具有下述特性:

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

看门狗 (WDT)

看门狗是由一个 12 位的递减计数器和一个 8 位的预分频器所组成, 它的时钟源由低速内部时钟 (LICK) 提供; 因为这个时钟独立于主时钟, 所以它可运行于深睡眠和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统, 或作为一个自由定时器为应用程序提供超时管理。通过用户系统数据可以配置门狗是否自启动。在调试模式下, 计数器可以被冻结。

窗口型看门狗 (WWDT)

窗口型看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

实时时钟 (RTC) 和电池供电寄存器 (BPR)

RTC 和电池供电寄存器 (BPR) 通过一个开关供电，在 V_{DD} 有效时该开关选择 V_{DD} 供电，否则由 V_{BAT} 引脚供电。电池供电寄存器 (42 个 16 位的寄存器) 保存 84 个字节的用户应用数据。RTC 和电池供电寄存器不会被系统或电源复位源复位；当从待机模式唤醒时，也不会被复位。

实时时钟具有一组连续运行的计数器，可以通过适当的软件提供日历时钟功能，还具有闹钟中断和周期性中断功能。RTC 的驱动时钟可以是一个使用外部晶体的 32.768 kHz 的振荡器 (LEXT)、内部低功耗时钟 (LICK) 或高速的外部时钟 (HEXT) 经 128 分频。为补偿天然晶体的偏差，RTC 时钟可以经 64 分频输出到侵入检测引脚 TAMPER 上对 RTC 的时钟进行校准。RTC 具有一个 32 位的可编程计数器，使用比较寄存器可以进行长时间的测量。有一个 20 位的预分频器用于时基时钟，默认情况下时钟为 32.768 kHz 时，它将产生一个 1 秒长的时间基准。

通信接口

串行外设接口 (SPI)/ 内部集成音频接口 (I²S)

多达 4 个 SPI 接口，在从或主模式下，全双工和半双工的通信速率可达 50 兆位 / 秒。3 位的预分频器可产生 8 种主模式频率，可配置成每帧 8 位或 16 位。硬件的 CRC 产生 / 校验支持基本的 SD 卡、MMC 和 SDHC 模式。所有的 SPI 接口都可以使用 DMA 操作。

4 个标准的 I²S 接口 (与 SPI 多工使用) 可以在主或从模式下工作于半双工，I²S2 和 I²S3 还可工作于全双工模式。这 4 个接口可以配置为 16/24/32 位分辨率的输入或输出通道工作，支持音频采样频率从 8 kHz 到 192 kHz。当 I²S 接口配置为主模式，它的主时钟可以以 256 倍采样频率输出给外部的 DAC 或 CODEC (解码器)。所有 I²S 均可使用 DMA 控制器。

通用同步 / 异步收发器 (USART)

该系列单片机中，内置了 4 个通用同步 / 异步收发器 (USART1, USART2, USART3 和 USART6)，和 4 个通用异步收发器 (UART4, UART5, UART7 和 UART8)。

这 8 个接口提供异步通信、支持 IrDA SIR ENDEC 传输编解码、多处理器通信模式、单线半双工通信模式和 LIN 主 / 从功能。

这 8 个接口接口通信速率均可达 7.5 兆位 / 秒。

USART1, USART2 和 USART3 接口具有硬件的 CTS 和 RTS 信号管理。USART1, USART2, USART3 和 USART6 接口兼容 ISO 7816 的智能卡模式和类 SPI 通信模式。所有接口都可以使用 DMA 操作。

表 3. USART/UART 功能比较

USART/UART 功能	USART1	USART2	USART3	UART4	UART5	USART6	UART7	UART8
调制解调器的硬件流控	支持	支持	支持	—	—	—	—	—
使用 DMA 连续通信	支持	支持	支持	支持	支持	支持	支持	支持
多处理器通信	支持	支持	支持	支持	支持	支持	支持	支持
同步模式	支持	支持	支持	—	—	支持	—	—
智能卡模式	支持	支持	支持	—	—	支持	—	—

USART/UART 功能	USART1	USART2	USART3	UART4	UART5	USART6	UART7	UART8
单线半双工通信	支持	支持	支持	支持	支持	支持	支持	支持
红外 IrDA SIR 编解码	支持	支持	支持	支持	支持	支持	支持	支持
LIN 模式	支持	支持	支持	支持	支持	支持	支持	支持

内部集成电路总线 (I²C)

多达 3 个 I²C 总线接口, 能够工作于多主模式或从模式, 它们可支持标准模式 (standard mode, 最高 100 kHz) 和快速模式 (fast mode, 最高 400 kHz)。I²C 总线频率可以最高增加到 1 MHz。

I²C 接口支持 7 位或 10 位寻址, 7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器 / 校验器。

它们可以使用 DMA 操作并支持 SMBus 总线 2.0 版 / PMBus 总线。

安全数字输入 / 输出接口 (SDIO)

2 个 SD/SDIO/MMC 主机接口, 可以支持 MMC 卡系统规范 4.2 版中的 3 个不同的数据总线模式: 1 位 (默认)、4 位和 8 位。在 8 位模式下, 该接口可以使数据传输速率达到 48 MHz, 该接口兼容 SD 存储卡规范 2.0 版。

SDIO 存储卡规范 2.0 版支持两种数据总线模式: 1 位 (默认) 和 4 位。

目前的芯片版本只能一次支持一个 SD/SDIO/MMC4.2 版的卡, 但可以同时支持多个 MMC4.1 版或之前版本的卡。

除了 SD/SDIO/MMC/eMMC, 这个接口完全与 CE-ATA 数字协议版本 1.1 兼容。

控制器区域网络 (CAN)

2 个 CAN 接口兼容规范 2.0A 和 2.0B (主动), 位速率高达 1 兆位 / 秒。它可以接收和发送 11 位标识符的标准帧, 也可以接收和发送 29 位标识符的扩展帧。每个 CAN 具有 3 个发送邮箱, 2 个具 3 级深度的接收缓存, 和 14 个可调节的滤波器。

通用串行总线全速 (USBFS)

该系列单片机内嵌一个兼容全速 USB 的设备控制器, 遵循全速 USB 设备 (12 兆位 / 秒) 标准, 端点可由软件配置, 具有待机 / 唤醒功能。USB 专用的 48 MHz 时钟由内部主 PLL 产生或直接来自 48 MHz HICK 时钟源。

循环冗余校验 (CRC) 计算单元

CRC (循环冗余校验) 计算单元使用一个固定的多项式发生器, 从一个 32 位的数据字产生一个 CRC 码。在众多的应用中, 基于 CRC 的技术被用于验证数据传输或存储的一致性。

模拟 / 数字转换器 (ADC)

该系列单片机, 内嵌 3 个 12 位的模拟 / 数字转换器 (ADC), 共享多达 16 个外部通道, 可以实现单次或序列转换。在序列模式下, 自动对选定的一组模拟输入进行转换。

ADC 接口上的其它逻辑功能包括:

- 同时的采样和保持
- 交替的采样和保持
- 单次采样

ADC 可以使用 DMA 操作。

电压监测功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由通用定时器 (TMRx) 和高级定时器 (TMR1 和 TMR8) 产生的事件，可以分别内部级联到 ADC 的普通触发和抢占触发，以允许应用同步 ADC 转换和定时器。

温度传感器 (V_{TS})

温度传感器产生一个随温度线性变化的电压 V_{TS}。温度传感器在内部被连接到 ADC1_IN16 的输入通道上，用于将传感器的输出转换成数字数值。

由于工艺不同，温度传感器的偏移因芯片而异，因此内部温度传感器主要适合检测温度变化的应用，而不是检测绝对温度的应用。如果需要读取精确温度，则应使用外部温度传感器。

内部参考电压 (V_{INTRV})

内部参考电压 (V_{INTRV}) 为 ADC 提供了一个稳定的电压输出。V_{INTRV} 内部连接到 ADC1_IN17 输入通道。

数字 / 模拟信号转换器 (DAC)

两个 12 位带缓冲的 DAC 可实现 2 路数字信号到 2 路模拟信号的转换并输出。

DAC 支持下述功能：

- 两个 DAC 转换器：各有一个输出通道
- 8 位或 12 位单调输出
- 12 位模式下的左右数据对齐
- 同步更新功能
- 产生噪声波
- 产生三角波
- 双 DAC 独立或同步转换
- 每个 DAC 都可使用 DMA 功能
- 外部触发进行转换
- 输入参考电压 V_{REF+}

该系列单片机中有数个触发 DAC 转换的输入。DAC 输出可以由定时器的更新输出触发，更新输出也可连接到不同的 DMA 通道。

调试

串行线 (SWD) / JTAG 调试接口

内嵌 Arm® 的 SWJ-DP 接口，这是一个由串行线和 JTAG 调试端口结合而成、可以实现对连接目标烧录和调试的串行线调试接口或 JTAG 接口。JTAG 的 TMS 和 TCK 信号分别与 SWDIO 和 SWCLK 共享引脚。

内嵌跟踪模块 (ETM™)

使用 Arm® 的内嵌跟踪模块 (ETM™)，该系列单片机通过很少的 ETM 引脚连接到外部跟踪端口分析 (TPA) 设备，从 CPU 核心中以高速输出压缩的数据流，为开发人员提供了清晰的指令运行与数据流动的信息。TPA 设备可以通过 USB 或其它高速通道连接到调试主机，实时的指令和数据流向能够被调试主机上的调试软件记录下来，并按需要的格式显示出来。TPA 硬件可以从开发工具供应商处购得，并能与第三方的调试软件兼容。

3 概述

单片机信息

表 4. 特性及外设列表

型号		HT32F49365		HT32F49395	
频率 (MHz)		240			
内部闪存 ⁽¹⁾⁽²⁾	ZW (K 字节)	128		128	
	NZW (K 字节)	0		768	
	可配置空间 (K 字节) (ZW 或 NZW)	128		128	
	加总 (K 字节)	256		1024	
SRAM ⁽²⁾ (K 字节)		96 + 128			
定时器	高级	2	2	2	2
	32 位通用	2	2	2	2
	16 位通用	8	8	8	8
	基本	2	2	2	2
	SysTick	1	1	1	1
	WDT	1	1	1	1
	WWDT	1	1	1	1
	RTC	1	1	1	1
通信接口	I ² C	3	3	3	3
	SPI/I ² S	4/4 (2 个全双工)	4/4 (2 个全双工)	4/4 (2 个全双工)	4/4 (2 个全双工)
	USART + UART	3 + 4 ⁽³⁾	4 + 4	3 + 4 ⁽³⁾	4 + 4
	SDIO	1 ⁽⁴⁾	2	1 ⁽⁴⁾	2
	USBFS 设备	1	1	1	1
	CAN	2	2	2	2
Analog	12 位 ADC 转 换器 / 通道数	3			
		10	16	10	16
	12 位 DAC 转 换器	2			
XMC		—	1 ⁽⁵⁾	—	1
SPIM ⁽⁶⁾		1 通道 / 寻址范围高达 16 M 字节			
DMA		14 通道			
CRC		1			
GPIO		37	51/80	37	51/80
EXINT		16			
工作电压		2.6 ~ 3.6 V			
工作温度		-40 ~ +105 °C			

型号	HT32F49365		HT32F49395	
封装形式	48-pin QFN, 48-pin LQFP	64-pin LQFP, 100-pin LQFP	48-pin QFN, 48-pin LQFP	64-pin LQFP, 100-pin LQFP

- 注：1. ZW = 零等待 (zero wait-state)，可达 SYSCLK 240 MHz
NZW = 非零等待 (non-zero wait-state)
2. 透过用户系统数据设置支持内部闪存存储器和 SRAM 分配使用。以 HT32F49395 为例，内部闪存存储器和 SRAM 可以设置为以下两种配置：
- ZW：256 K 字节，NZW：768 K 字节，SRAM：96 K 字节；
 - ZW：128 K 字节，NZW：896 K 字节，SRAM：224 K 字节。
3. 48LQFP 和 48QFN 封装无 UART8，USART6 因缺少 CK 引脚，只能作 UART 使用。
4. 48LQFP 和 48QFN 封装仅有 SDIO2，最高支持 4 位 (D0 ~ D3) 模式。
5. 64LQFP 封装 XMC 仅支持推动 8 位模式 LCD 屏。
6. SPIM = 外部 SPI 闪存扩展 (程序执行 / 数据储存 / 程序与数据可加密)。

方框图

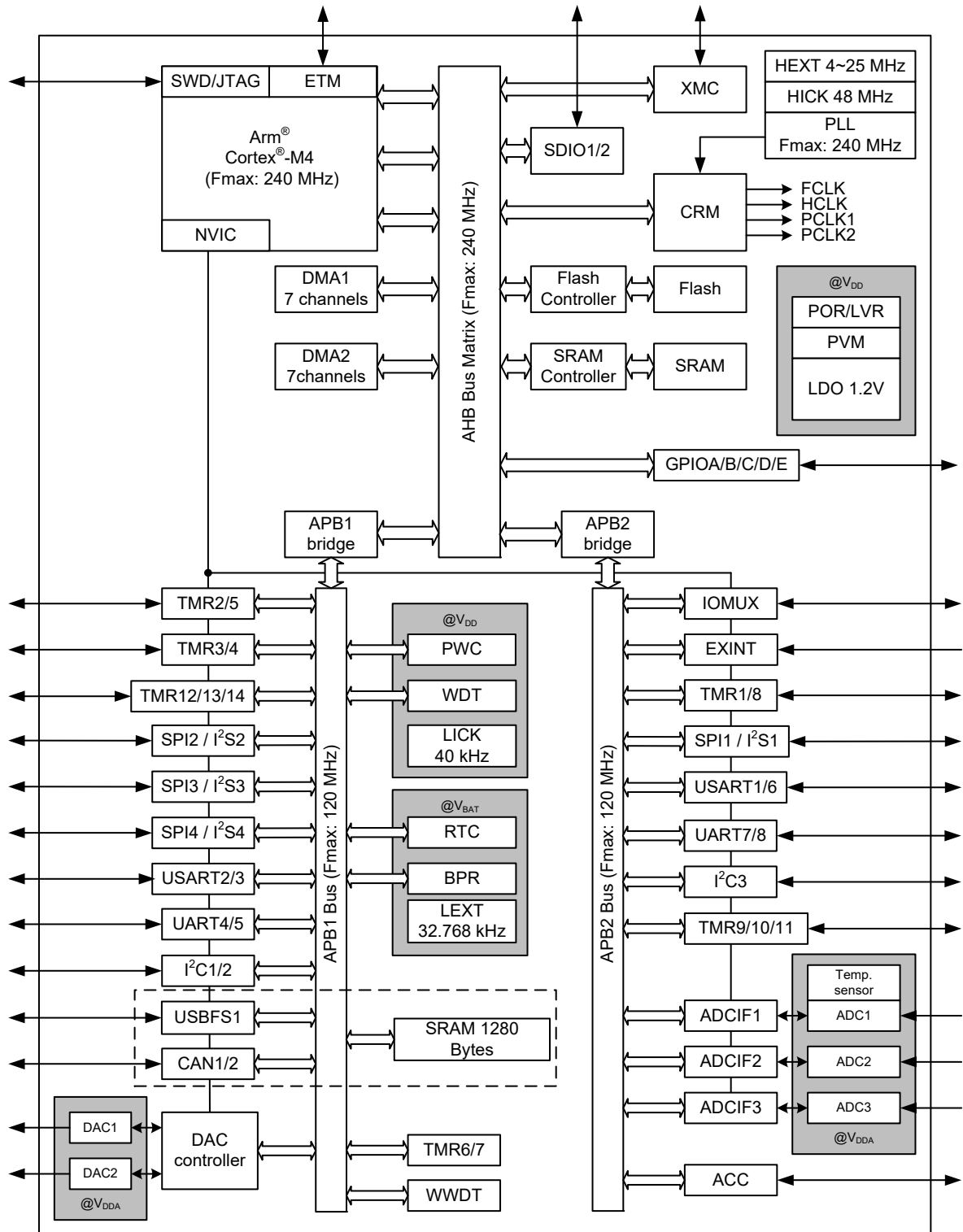


图 1. 方框图

存储器映射

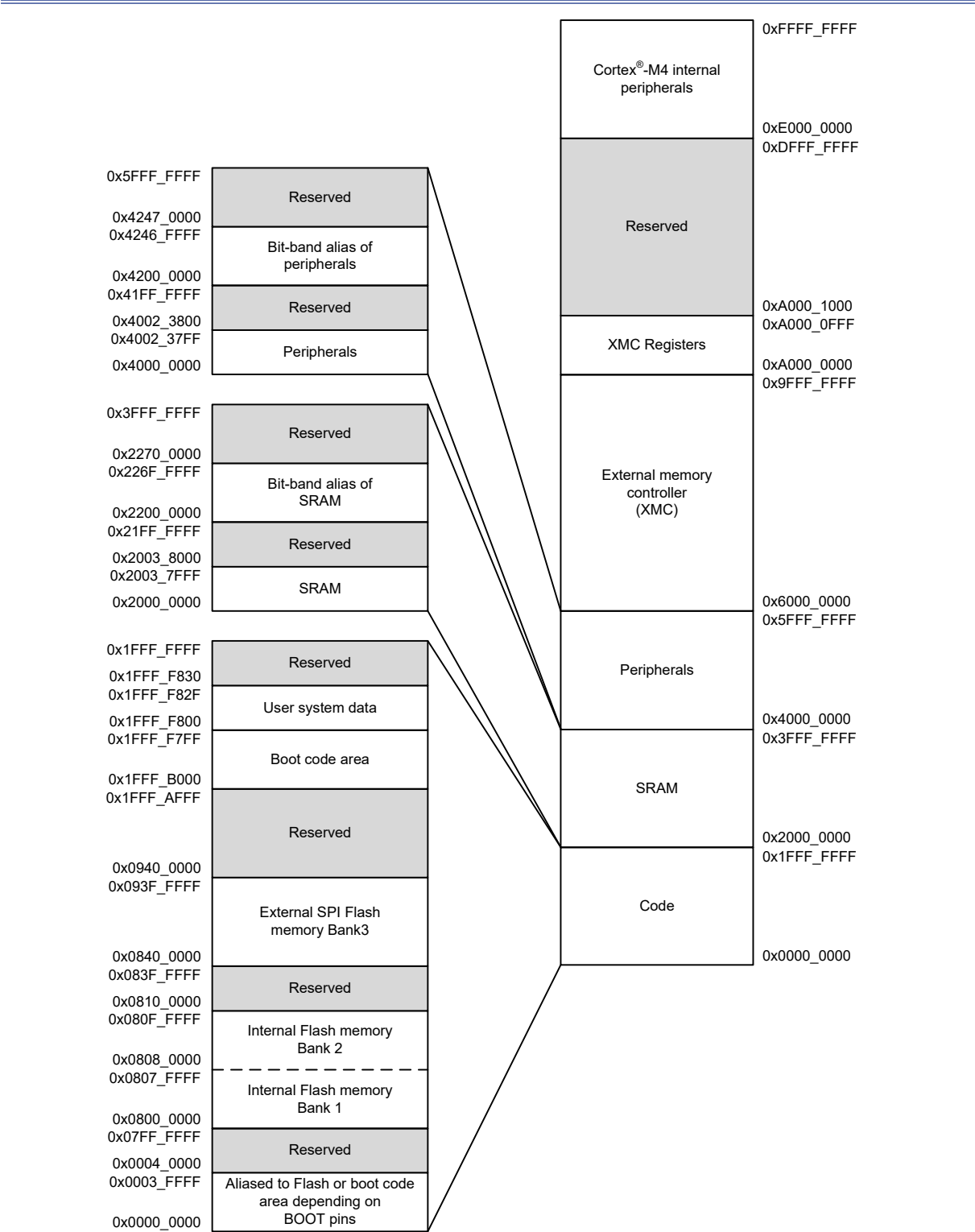


图 2. 存储器映射

表 5. 外设边界地址

总线	边界地址	外设
AHB	0xA000 1000 - 0xFFFF FFFF	保留
	0xA000 0000 - 0xA000 0FFF	XMC_REG
	0x6000 0000 - 0x9FFF FFFF	XMC_MEM
	0x4002 8000 - 0x5FFF FFFF	保留
	0x4002 3400 - 0x4002 7FFF	SDIO2
	0x4002 3000 - 0x4002 33FF	CRC
	0x4002 2000 - 0x4002 23FF	闪存接口 (FLASH)
	0x4002 1400 - 0x4002 1FFF	保留
	0x4002 1000 - 0x4002 13FF	时钟复位管理 (CRM)
	0x4002 0800 - 0x4002 0FFF	保留
	0x4002 0400 - 0x4002 07FF	DMA2
	0x4002 0000 - 0x4002 03FF	DMA1
	0x4001 8400 - 0x4001 FFFF	保留
	0x4001 8000 - 0x4001 83FF	SDIO

总线	边界地址	外设
APB2	0x4001 7400 - 0x4001 7FFF	保留
	0x4001 7000 - 0x4001 73FF	I ² S3EXT
	0x4001 6C00 - 0x4001 6FFF	I ² S2EXT
	0x4001 6800 - 0x4001 6BFF	UART8
	0x4001 6400 - 0x4001 67FF	UART7
	0x4001 6000 - 0x4001 63FF	USART6
	0x4001 5C00 - 0x4001 5FFF	I ² C3
	0x4001 5800 - 0x4001 5BFF	ACC
	0x4001 5400 - 0x4001 57FF	TMR11 定时器
	0x4001 5000 - 0x4001 53FF	TMR10 定时器
	0x4001 4C00 - 0x4001 4FFF	TMR9 定时器
	0x4001 4400 - 0x4001 4BFF	保留
	0x4001 4000 - 0x4001 43FF	保留
	0x4001 3C00 - 0x4001 3FFF	ADC3
	0x4001 3800 - 0x4001 3BFF	USART1
	0x4001 3400 - 0x4001 37FF	TMR8 定时器
	0x4001 3000 - 0x4001 33FF	SPI1/I ² S1
	0x4001 2C00 - 0x4001 2FFF	TMR1 定时器
	0x4001 2800 - 0x4001 2BFF	ADC2
	0x4001 2400 - 0x4001 27FF	ADC1
	0x4001 2000 - 0x4001 23FF	保留
	0x4001 1C00 - 0x4001 1FFF	保留
	0x4001 1800 - 0x4001 1BFF	GPIO 端口 E
	0x4001 1400 - 0x4001 17FF	GPIO 端口 D
	0x4001 1000 - 0x4001 13FF	GPIO 端口 C
	0x4001 0C00 - 0x4001 0FFF	GPIO 端口 B
	0x4001 0800 - 0x4001 0BFF	GPIO 端口 A
	0x4001 0400 - 0x4001 07FF	EXINT
	0x4001 0000 - 0x4001 03FF	IOMUX

总线	边界地址	外设
APB1	0x4000 8400 - 0x4000 FFFF	保留
	0x4000 7800 - 0x4000 83FF	USBFS 1280 字节缓冲器 (注)
	0x4000 7400 - 0x4000 77FF	DAC
	0x4000 7000 - 0x4000 73FF	电源控制 (PWC)
	0x4000 6C00 - 0x4000 6FFF	备份寄存器 (BPR)
	0x4000 6800 - 0x4000 6BFF	CAN2
	0x4000 6400 - 0x4000 67FF	CAN1
	0x4000 6000 - 0x4000 63FF	USBFS 512 字节缓冲器 (注)
	0x4000 5C00 - 0x4000 5FFF	USBFS
	0x4000 5800 - 0x4000 5BFF	I ² C2
	0x4000 5400 - 0x4000 57FF	I ² C1
	0x4000 5000 - 0x4000 53FF	UART5
	0x4000 4C00 - 0x4000 4FFF	UART4
	0x4000 4800 - 0x4000 4BFF	USART3
	0x4000 4400 - 0x4000 47FF	USART2
	0x4000 4000 - 0x4000 43FF	SPI4/I ² S4
	0x4000 3C00 - 0x4000 3FFF	SPI3/I ² S3
	0x4000 3800 - 0x4000 3BFF	SPI2/I ² S2
	0x4000 3400 - 0x4000 37FF	保留
	0x4000 3000 - 0x4000 33FF	看门狗定时器 (WDT)
	0x4000 2C00 - 0x4000 2FFF	窗口型看门狗定时器 (WWDT)
	0x4000 2800 - 0x4000 2BFF	RTC
	0x4000 2400 - 0x4000 27FF	保留
	0x4000 2000 - 0x4000 23FF	TMR14 定时器
	0x4000 1C00 - 0x4000 1FFF	TMR13 定时器
	0x4000 1800 - 0x4000 1BFF	TMR12 定时器
	0x4000 1400 - 0x4000 17FF	TMR7 定时器
	0x4000 1000 - 0x4000 13FF	TMR6 定时器
	0x4000 0C00 - 0x4000 0FFF	TMR5 定时器
	0x4000 0800 - 0x4000 0BFF	TMR4 定时器
	0x4000 0400 - 0x4000 07FF	TMR3 定时器
	0x4000 0000 - 0x4000 03FF	TMR2 定时器

注：当 USBBUFS = 0 时，USBFS 缓冲区大小为 512 字节，其地址为 0x4000 6000 ~ 0x4000 63FF。当 USBBUFS = 1 时，USBFS 缓冲区大小为 768 ~ 1280 字节，其地址为 0x4000 7800 ~ 0x4000 83FF。如果 CAN1 和 CAN2 都未被使能，则 USBFS 缓冲区的最大值可以设置为 1280 字节；如果使能其中任何一个，最大 USBFS 缓冲区可以达到 1024 字节；如果两者都启用，最大 USB 缓冲区可以设置为 768 字节。

时钟结构

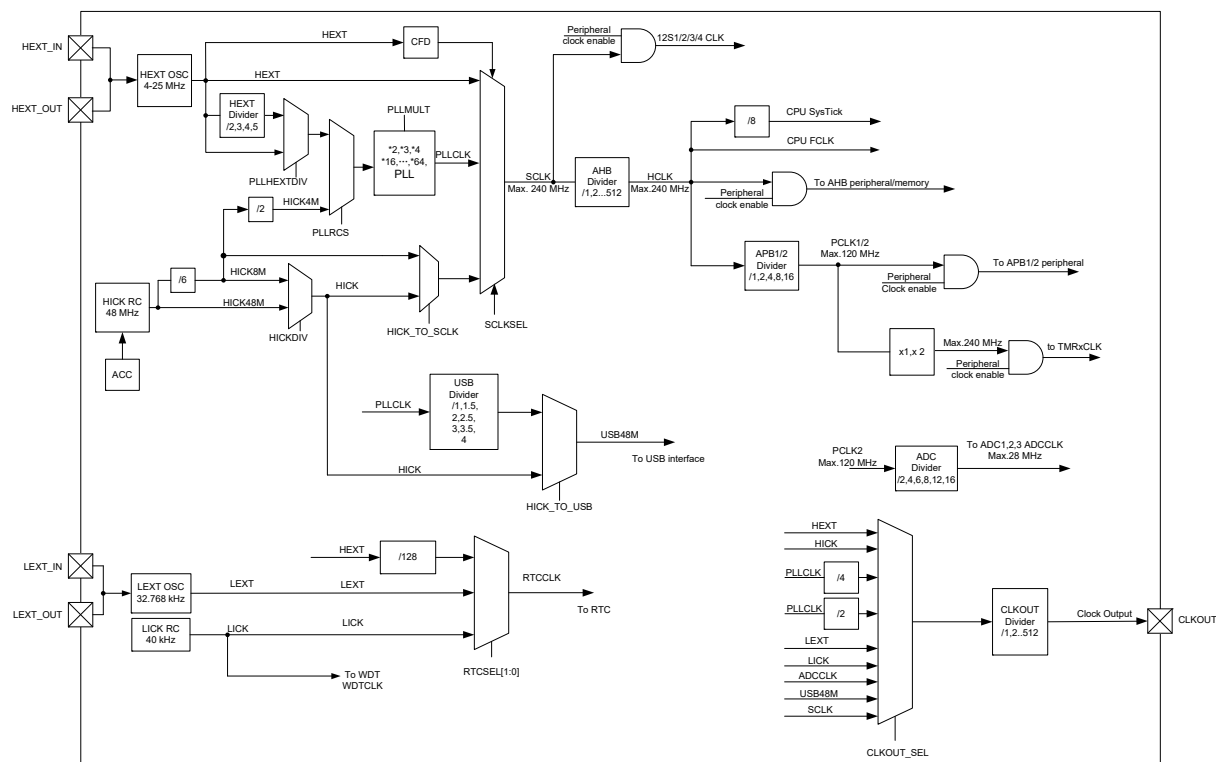


图 3. 时钟结构

4 引脚图

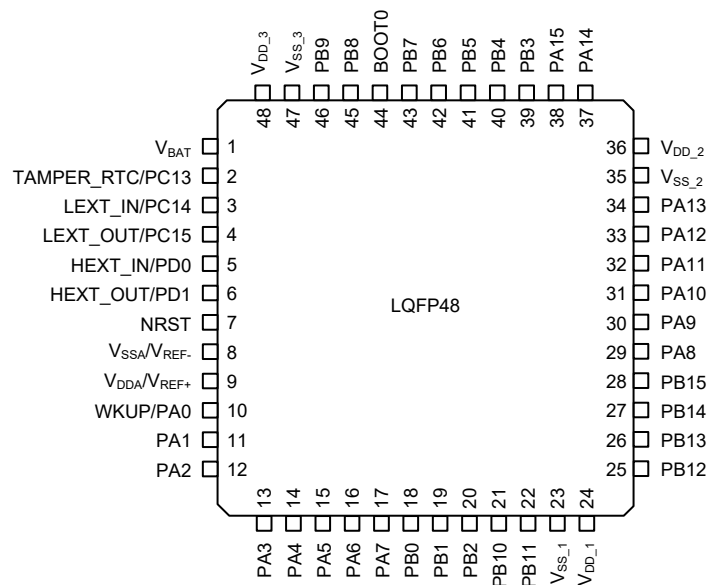


图 4. 48-pin LQFP 引脚图

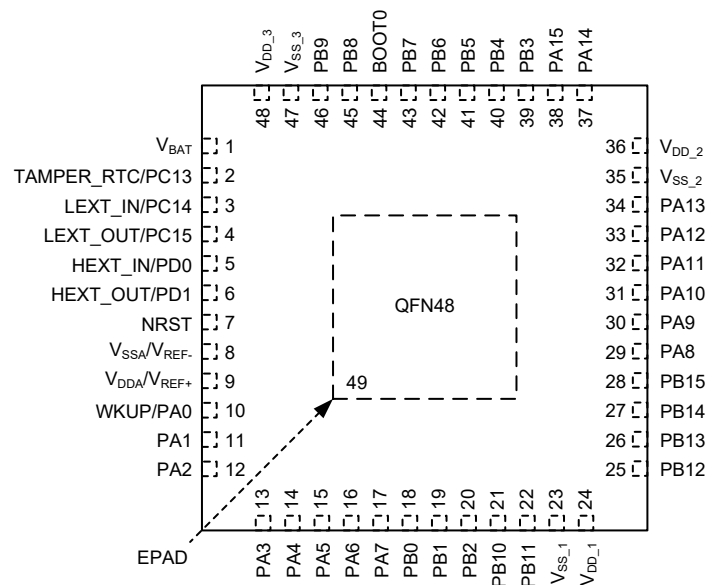


图 5. 48-pin QFN 引脚图

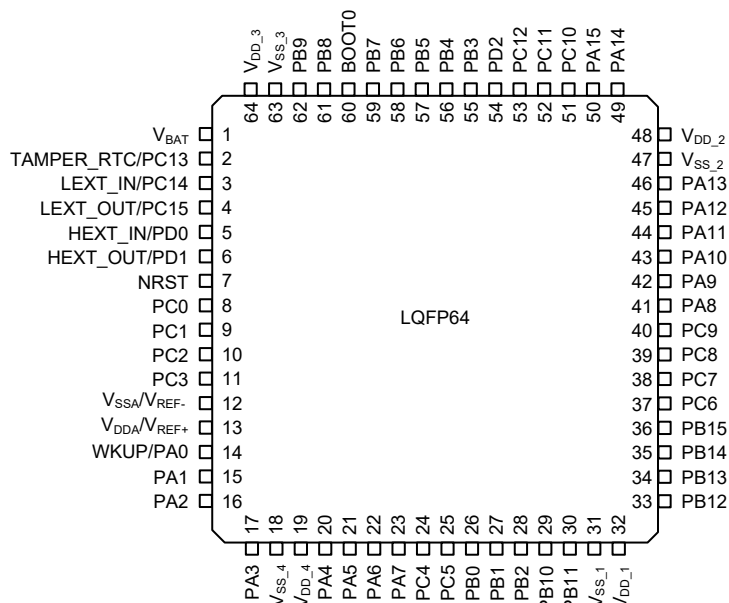


图 6. 64-pin LQFP 引脚图

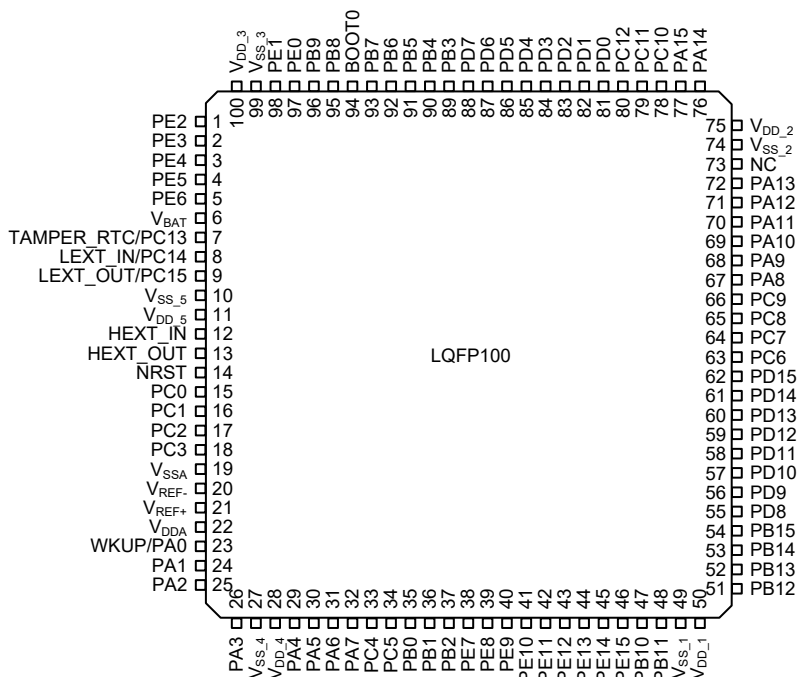


图 7. 100-pin LQFP 引脚图

下表为 HT32F49365/HT32F49395 引脚定义，“—”表示对应封装下没有该引脚。多工功能按照优先级从高到低排列，基本原则模拟信号高于数字信号，输出数字信号高于输入数字信号。

表 6. 引脚定义

引脚号			引脚名称	种类 ⁽¹⁾	IO 电平 ⁽²⁾	主功能 ⁽³⁾	多工功能 ⁽⁴⁾	
48LQFP/QFN	64LQFP	100LQFP					默认功能	重映射
—	—	1	PE2	I/O	FT	PE2	SPI4_SCK ⁽⁷⁾ / I2S4_CK ⁽⁷⁾ / XMC_A23 / TRACECK	—
—	—	2	PE3	I/O	FT	PE3	XMC_A19 / TRACED0	—
—	—	3	PE4	I/O	FT	PE4	SPI4_CS ⁽⁷⁾ / I2S4_WS ⁽⁷⁾ / XMC_A20 / TRACED1	—
—	—	4	PE5	I/O	FT	PE5	SPI4_MISO ⁽⁷⁾ / XMC_A21 / TRACED2	TMR9_CH1
—	—	5	PE6	I/O	FT	PE6	SPI4_MOSI ⁽⁷⁾ / I2S4_SD ⁽⁷⁾ / XMC_A22 / TRACED3	TMR9_CH2
1	1	6	V _{BAT}	S	—	V _{BAT}	—	—
2	2	7	TAMPER_RTC / PC13 ⁽⁵⁾	I/O	TC	PC13 ⁽⁶⁾	TAMPER_RTC	—
3	3	8	LEXT_IN / PC14 ⁽⁵⁾	I/O	TC	PC14 ⁽⁶⁾	LEXT_IN	—
4	4	9	LEXT_OUT / PC15 ⁽⁵⁾	I/O	TC	PC15 ⁽⁶⁾	LEXT_OUT	—
—	—	10	V _{SS_5}	S	—	V _{SS_5}	—	—
—	—	11	V _{DD_5}	S	—	V _{DD_5}	—	—
—	—	12	HEXT_IN	I	—	HEXT_IN	—	—
—	—	13	HEXT_OUT	O	—	HEXT_OUT	—	—
5	5	—	HEXT_IN / PD0 ⁽⁸⁾	I/O	TC	HEXT_IN	—	PD0 ⁽⁸⁾
6	6	—	HEXT_OUT / PD1 ⁽⁸⁾	I/O	TC	HEXT_OUT	—	PD1 ⁽⁸⁾
7	7	14	NRST	I/O	—	NRST	—	—
—	8	15	PC0	I/O	FTa	PC0	ADC123_IN10 / SDIO2_D0 ⁽⁷⁾	—
—	9	16	PC1	I/O	FTa	PC1	ADC123_IN11 / SDIO2_D1 ⁽⁷⁾	—
—	10	17	PC2	I/O	FTa	PC2	ADC123_IN12 / SDIO2_D2 ⁽⁷⁾	UART8_TX / XMC_NWE
—	11	18	PC3	I/O	FTa	PC3	ADC123_IN13 / SDIO2_D3 ⁽⁷⁾ / XMC_A0	UART8_RX
—	—	19	V _{SSA}	S	—	V _{SSA}	—	—
—	—	20	V _{REF-}	S	—	V _{REF-}	—	—
8	12	—	V _{SSA} / V _{REF-}	S	—	V _{SSA} / V _{REF-}	—	—
—	—	21	V _{REF+}	S	—	V _{REF+}	—	—
—	—	22	V _{DDA}	S	—	V _{DDA}	—	—
9	13	—	V _{DDA} / V _{REF+}	S	—	V _{DDA} / V _{REF+}	—	—
10	14	23	WKUP/PA0	I/O	TC	PA0	ADC123_IN0 / WKUP / USART2_CTS ⁽⁷⁾ / TMR2_CH1 ⁽⁷⁾ / TMR2_EXT ⁽⁷⁾ / TMR5_CH1 / TMR8_EXT	UART4_TX

引脚号			引脚名称	种类 ⁽¹⁾	IO 电平 ⁽²⁾	主功能 ⁽³⁾	多工功能 ⁽⁴⁾	
48L QFP/QFN	64L QFP	100L QFP					默认功能	重映射
11	15	24	PA1	I/O	FTa	PA1	ADC123_IN1 / USART2_RTS ⁽⁷⁾ / TMR2_CH2 ⁽⁷⁾ / TMR5_CH2	UART4_RX
12	16	25	PA2	I/O	FTa	PA2	ADC123_IN2 / USART2_TX ⁽⁷⁾ / TMR2_CH3 ⁽⁷⁾ / TMR5_CH3 / TMR9_CH1 ⁽⁷⁾	SDIO2_CK / XMC_D4
13	17	26	PA3	I/O	FTa	PA3	ADC123_IN3 / USART2_RX ⁽⁷⁾ / TMR2_CH4 ⁽⁷⁾ / TMR5_CH4 / TMR9_CH2 ⁽⁷⁾	I2S2_MCK / SDIO2_CMD / XMC_D5
—	18	27	V _{SS_4}	S	—	V _{SS_4}	—	—
—	19	28	V _{DD_4}	S	—	V _{DD_4}	—	—
14	20	29	PA4	I/O	FTa	PA4	DAC1_OUT / ADC12_IN4 / USART2_CK ⁽⁷⁾ / SPI1_CS ⁽⁷⁾ / I2S1_WS ⁽⁷⁾ / SDIO2_D4	USART6_TX / SPI3_CS / I2S3_WS / SDIO2_D0 / XMC_D6
15	21	30	PA5	I/O	FTa	PA5	DAC2_OUT / ADC12_IN5 / SPI1_SCK ⁽⁷⁾ / I2S1_CK ⁽⁷⁾ / SDIO2_D5	USART6_RX / SDIO2_D1 / XMC_D7
16	22	31	PA6	I/O	FTa	PA6	ADC12_IN6 / SPI1_MISO ⁽⁷⁾ / SDIO2_D6 / TMR3_CH1 ⁽⁷⁾ / TMR8_BRK / TMR13_CH1	I2S2_MCK / SDIO2_D2 / TMR1_BRK
17	23	32	PA7	I/O	FTa	PA7	ADC12_IN7 / SPI1_MOSI ⁽⁷⁾ / I2S1_SD ⁽⁷⁾ / SDIO2_D7 / TMR3_CH2 ⁽⁷⁾ / TMR8_CH1C / TMR14_CH1	SDIO2_D3 / TMR1_CH1C
—	24	33	PC4	I/O	FTa	PC4	ADC12_IN14 / SDIO2_CK ⁽⁷⁾ / XMC_NE4	—
—	25	34	PC5	I/O	FTa	PC5	ADC12_IN15 / SDIO2_CMD ⁽⁷⁾	XMC_NOE
18	26	35	PB0	I/O	FTa	PB0	ADC12_IN8 / I2S1_MCK ⁽⁷⁾ / TMR3_CH3 ⁽⁷⁾ / TMR8_CH2C	TMR1_CH2C
19	27	36	PB1	I/O	FTa	PB1	ADC12_IN9 / SPIM_SCK / TMR3_CH4 ⁽⁷⁾ / TMR8_CH3C	TMR1_CH3C
20	28	37	PB2	I/O	FT	PB2 / BOOT1 ⁽⁹⁾	—	—
—	—	38	PE7	I/O	FT	PE7	UART7_RX ⁽⁷⁾ / XMC_D4 ⁽⁷⁾	TMR1_EXT
—	—	39	PE8	I/O	FT	PE8	UART7_TX ⁽⁷⁾ / XMC_D5 ⁽⁷⁾	TMR1_CH1C
—	—	40	PE9	I/O	FT	PE9	XMC_D6 ⁽⁷⁾	TMR1_CH1
—	—	41	PE10	I/O	FT	PE10	XMC_D7 ⁽⁷⁾	TMR1_CH2C
—	—	42	PE11	I/O	FT	PE11	XMC_D8	SPI4_SCK / I2S4_CK / TMR1_CH2
—	—	43	PE12	I/O	FT	PE12	XMC_D9	SPI4_CS / I2S4_WS / TMR1_CH3C
—	—	44	PE13	I/O	FT	PE13	XMC_D10	SPI4_MISO / TMR1_CH3
—	—	45	PE14	I/O	FT	PE14	XMC_D11	SPI4_MOSI / I2S4_SD / TMR1_CH4
—	—	46	PE15	I/O	FT	PE15	XMC_D12	TMR1_BRK
21	29	47	PB10	I/O	FT	PB10	USART3_TX ⁽⁷⁾ / I2C2_SCL	I2S3_MCK / SPIM_IO0 / TMR2_CH3
22	30	48	PB11	I/O	FT	PB11	USART3_RX ⁽⁷⁾ / I2C2_SDA	SPIM_IO1 / TMR2_CH4

引脚号			引脚名称	种类 ⁽¹⁾	IO 电平 ⁽²⁾	主功能 ⁽³⁾	多工功能 ⁽⁴⁾	
48L QFP/QFN	64L QFP	100L QFP					默认功能	重映射
23	31	49	V _{SS_1}	S	—	V _{SS_1}	—	—
24	32	50	V _{DD_1}	S	—	V _{DD_1}	—	—
25	33	51	PB12	I/O	FT	PB12	USART3_CK ⁽⁷⁾ / CAN2_RX ⁽⁷⁾ / I2C2_SMBA / SPI2_CS / I2S2_WS / TMR1_BRK ⁽⁷⁾	XMC_D13
26	34	52	PB13	I/O	FT	PB13	USART3_CTS ⁽⁷⁾ / CAN2_TX ⁽⁷⁾ / SPI2_SCK / I2S2_CK / TMR1_CH1C ⁽⁷⁾	—
27	35	53	PB14	I/O	FT	PB14	USART3_RTS ⁽⁷⁾ / SPI2_MISO / I2S2_SDEXT / TMR1_CH2C ⁽⁷⁾ / TMR12_CH1	XMC_D0
28	36	54	PB15	I/O	FT	PB15	SPI2_MOSI / I2S2_SD / TMR1_CH3C ⁽⁷⁾ / TMR12_CH2	—
—	—	55	PD8	I/O	FT	PD8	XMC_D13 ⁽⁷⁾	USART3_TX
—	—	56	PD9	I/O	FT	PD9	XMC_D14	USART3_RX
—	—	57	PD10	I/O	FT	PD10	XMC_D15	USART3_CK
—	—	58	PD11	I/O	FT	PD11	XMC_A16	USART3_CTS
—	—	59	PD12	I/O	FT	PD12	XMC_A17	USART3_RTS / TMR4_CH1
—	—	60	PD13	I/O	FT	PD13	XMC_A18	TMR4_CH2
—	—	61	PD14	I/O	FT	PD14	XMC_D0 ⁽⁷⁾	TMR4_CH3
—	—	62	PD15	I/O	FT	PD15	XMC_D1 ⁽⁷⁾	TMR4_CH4
—	37	63	PC6	I/O	FT	PC6	USART6_TX ⁽⁷⁾ / I2S2_MCK ⁽⁷⁾ / SDIO1_D6 / TMR8_CH1	XMC_D1 / TMR3_CH1
—	38	64	PC7	I/O	FT	PC7	USART6_RX ⁽⁷⁾ / I2S3_MCK ⁽⁷⁾ / SDIO1_D7 / TMR8_CH2	TMR3_CH2
—	39	65	PC8	I/O	FT	PC8	USART6_CK / I2S4_MCK ⁽⁷⁾ / SDIO1_D0 / TMR8_CH3	TMR3_CH3
—	40	66	PC9	I/O	FT	PC9	I2C3_SDA ⁽⁷⁾ / SDIO1_D1 / TMR8_CH4	TMR3_CH4
29	41	67	PA8	I/O	FT	PA8	CLKOUT / USART1_CK / I2C3_SCL / USBFS_SOF / SPIM_CS / TMR1_CH1 ⁽⁷⁾	—
30	42	68	PA9	I/O	FT	PA9	USART1_TX ⁽⁷⁾ / I2C3_SMBA / TMR1_CH2 ⁽⁷⁾	—
31	43	69	PA10	I/O	FT	PA10	USART1_RX ⁽⁷⁾ / TMR1_CH3 ⁽⁷⁾	I2S4_MCK
32	44	70	PA11	I/O	TC	PA11	USBFS1_D- / USART1_CTS / CAN1_RX ⁽⁷⁾ / SPIM_IO0 ⁽⁷⁾ / TMR1_CH4 ⁽⁷⁾	—
33	45	71	PA12	I/O	TC	PA12	USBFS1_D+ / USART1_RTS / CAN1_TX ⁽⁷⁾ / SPIM_IO1 ⁽⁷⁾ / TMR1_EXT ⁽⁷⁾	—
34	46	72	PA13	I/O	FT	JTMS-SWDIO	—	PA13
—	—	73	未连接					
35	47	74	V _{SS_2}	S	—	V _{SS_2}	—	—

引脚号			引脚名称	种类 ⁽¹⁾	IO 电平 ⁽²⁾	主功能 ⁽³⁾	多工功能 ⁽⁴⁾	
48L QFP/QFN	64L QFP	100L QFP					默认功能	重映射
36	48	75	V _{DD_2}	S	—	V _{DD_2}	—	—
37	49	76	PA14	I/O	FT	JTCK-SWCLK	—	PA14
38	50	77	PA15	I/O	FT	JTDI	SPI3_CS ⁽⁷⁾ / I2S3_WS ⁽⁷⁾	PA15 / SPI1_CS / I2S1_WS / TMR2_CH1 / TMR2_EXT
—	51	78	PC10	I/O	FT	PC10	UART4_TX ⁽⁷⁾ / SDIO1_D2	USART3_TX / SPI3_SCK / I2S3_CK
—	52	79	PC11	I/O	FT	PC11	UART4_RX ⁽⁷⁾ / SDIO1_D3	USART3_RX / SPI3_MISO / I2S3_SDEXT / XMC_D2
—	53	80	PC12	I/O	FT	PC12	UART5_TX ⁽⁷⁾ / SDIO1_CK	USART3_CK / SPI3_MOSI / I2S3_SD / XMC_D3
—	—	81	PD0	I/O	FT	PD0	XMC_D2 ⁽⁷⁾	CAN1_RX
—	—	82	PD1	I/O	FT	PD1	XMC_D3 ⁽⁷⁾	CAN1_TX
—	54	83	PD2	I/O	FT	PD2	UART5_RX ⁽⁷⁾ / SDIO1_CMD / TMR3_EXT	XMC_NWE
—	—	84	PD3	I/O	FT	PD3	XMC_CLK	USART2_CTS
—	—	85	PD4	I/O	FT	PD4	XMC_NOE ⁽⁷⁾	USART2_RTS
—	—	86	PD5	I/O	FT	PD5	XMC_NWE ⁽⁷⁾	USART2_TX
—	—	87	PD6	I/O	FT	PD6	XMC_NWAIT	USART2_RX
—	—	88	PD7	I/O	FT	PD7	XMC_NE1 / XMC_NCE2	USART2_CK
39	55	89	PB3	I/O	FT	JTDO	SPI3_SCK ⁽⁷⁾ / I2S3_CK ⁽⁷⁾	PB3 / UART7_RX / SPI1_SCK / I2S1_CK / SWO / TMR2_CH2
40	56	90	PB4	I/O	FT	NJTRST	SPI3_MISO ⁽⁷⁾ / I2S3_SDEXT ⁽⁷⁾	PB4 / SPI1_MISO / I2C3_SDA / UART7_TX / TMR3_CH1
41	57	91	PB5	I/O	FT	PB5	SPI3_MOSI ⁽⁷⁾ / I2S3_SD ⁽⁷⁾ / I2C1_SMBA ⁽⁷⁾	SPI1_MOSI / I2S1_SD / CAN2_RX / TMR3_CH2
42	58	92	PB6	I/O	FT	PB6	I2C1_SCL ⁽⁷⁾ / SPIM_IO3 / TMR4_CH1 ⁽⁷⁾	USART1_TX / I2S1_MCK / SPI4_CS / I2S4_WS / CAN2_TX
43	59	93	PB7	I/O	FT	PB7	I2C1_SDA ⁽⁷⁾ / XMC_NADV / SPIM_IO2 / TMR4_CH2 ⁽⁷⁾	USART1_RX / SPI4_SCK / I2S4_CK
44	60	94	BOOT0	I	—	BOOT0	—	—
45	61	95	PB8	I/O	FT	PB8	SDIO1_D4 / TMR4_CH3 ⁽⁷⁾ / TMR10_CH1	UART5_RX / SPI4_MISO / I2C1_SCL / CAN1_RX
46	62	96	PB9	I/O	FT	PB9	SDIO1_D5 / TMR4_CH4 ⁽⁷⁾ / TMR11_CH1	UART5_TX / SPI4_MOSI / I2S4_SD / I2C1_SDA / CAN1_TX
—	—	97	PE0	I/O	FT	PE0	UART8_RX ⁽⁷⁾ / XMC_LB / TMR4_EXT	—
—	—	98	PE1	I/O	FT	PE1	UART8_TX ⁽⁷⁾ / XMC_UB	—
47	63	99	V _{SS_3}	S	—	V _{SS_3}	—	—
48	64	100	V _{DD_3}	S	—	V _{DD_3}	—	—
-/49	—	—	EPAD	S	—	V _{SS}	—	—

注：1. I = 输入，O = 输出，S = 电源。

2. TC = 标准电平，FT = 一般 5 V 电平容忍，FTa = 带模拟功能 5 V 电平容忍。FTa 引脚设置为输入浮空、输入上拉、或输入下拉时，具有 5 V 电平容忍特性；设置为模拟模式时，不具 5 V 电平容忍特性，此时输入电平必须小于 $V_{DD} + 0.3 V$ 。
3. 有些功能仅在部分型号芯片中支持。
4. 如果有多个外设功能映射到了同一个 GPIO 口，为了避免外设的冲突，在同一时间，只能通过外设时钟的使能位（在相应的 RCC 外设时钟使能寄存器中）使能一个外设。
5. PC13，PC14 和 PC15 引脚通过电源开关进行供电，而这个电源开关只能推动有限的电流（3 mA）。因此这三个引脚作为输出引脚时不能作为电流源（如驱动 LED）。
6. 这些引脚在电池供电区域第一次上电时处于主功能状态下，之后即使复位，这些引脚的状态由电池供电区域寄存器控制（这些寄存器不会被主复位系统所复位）。关于如何控制这些 GPIO 口的具体信息，请参考 HT32F49365/HT32F49395 用户手册的电池供电区域和 BPR 寄存器的相关章节。
7. 此类多工功能能够由软件配置到其他引脚上（如果相应的封装型号有此引脚），详细信息请参考 HT32F49365/HT32F49395 用户手册的多工功能 GPIO 章节和调试设置章节。
8. 64LQFP、48LQFP 和 48QFN 封装的引脚 5 和引脚 6 在芯片复位后默认配置为 HEXT_IN 和 HEXT_OUT 功能脚。软件可以重新设置这两个引脚为 PD0 和 PD1 功能。但对于 100LQFP 封装，由于 PD0 和 PD1 为默认的功能引脚，因此没有必要再由软件进行重映像设置。更多详细信息请参考该系列单片机用户手册的多工功能 GPIO 章节和调试设置章节。
9. 若从程序内部闪存存储器启动且 PB2 功能未使用，建议下拉接地。

表 7. XMC 引脚定义

引脚名称	XMC			64LQFP
	复用信号的 PSRAM/NOR	LCD	NAND	
PE2	A23	A23	—	—
PE3	A19	A19	—	—
PE4	A20	A20	—	—
PE5	A21	A21	—	—
PE6	A22	A22	—	—
PC2	NWE	NWE	NWE	有
PC3	—	A0	—	有
PA2	DA4	D4	D4	有
PA3	DA5	D5	D5	有
PA4	DA6	D6	D6	有
PA5	DA7	D7	D7	有
PC4	NE4	NE4	—	有
PC5	NOE	NOE	NOE	有
PE7	DA4	D4	D4	—
PE8	DA5	D5	D5	—
PE9	DA6	D6	D6	—
PE10	DA7	D7	D7	—
PE11	DA8	D8	D8	—
PE12	DA9	D9	D9	—
PE13	DA10	D10	D10	—
PE14	DA11	D11	D11	—
PE15	DA12	D12	D12	—
PB12	DA13	D13	D13	有
PB14	DA0	D0	D0	有

引脚名称	XMC			64LQFP
	复用信号的 PSRAM/NOR	LCD	NAND	
PD8	DA13	D13	D13	—
PD9	DA14	D14	D14	—
PD10	DA15	D15	D15	—
PD11	A16	A16	CLE	—
PD12	A17	A17	ALE	—
PD13	A18	A18	—	—
PD14	DA0	D0	D0	—
PD15	DA1	D1	D1	—
PC6	DA1	D1	D1	有
PC11	DA2	D2	D2	有
PC12	DA3	D3	D3	有
PD0	DA2	D2	D2	—
PD1	DA3	D3	D3	—
PD2	NWE	NWE	NWE	有
PD3	CLK	—	—	—
PD4	NOE	NOE	NOE	—
PD5	NWE	NWE	NWE	—
PD6	NWAIT	—	NWAIT	—
PD7	NE1	NE1	NCE2	—
PB7	NADV	—	—	有
PE0	LB	—	—	—
PE1	UB	—	—	—

5 电气特性

测试条件

最小和最大数值

所有最小和最大值是在最坏的条件下测得。在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据,不会在生产线上进行测试。

典型数值

典型数据是基于 $T_A = 25\text{ }^{\circ}\text{C}$ 和 $V_{DD} = 3.3\text{ V}$ 。

典型曲线

典型曲线仅用于设计指导而未经测试。

供电方案

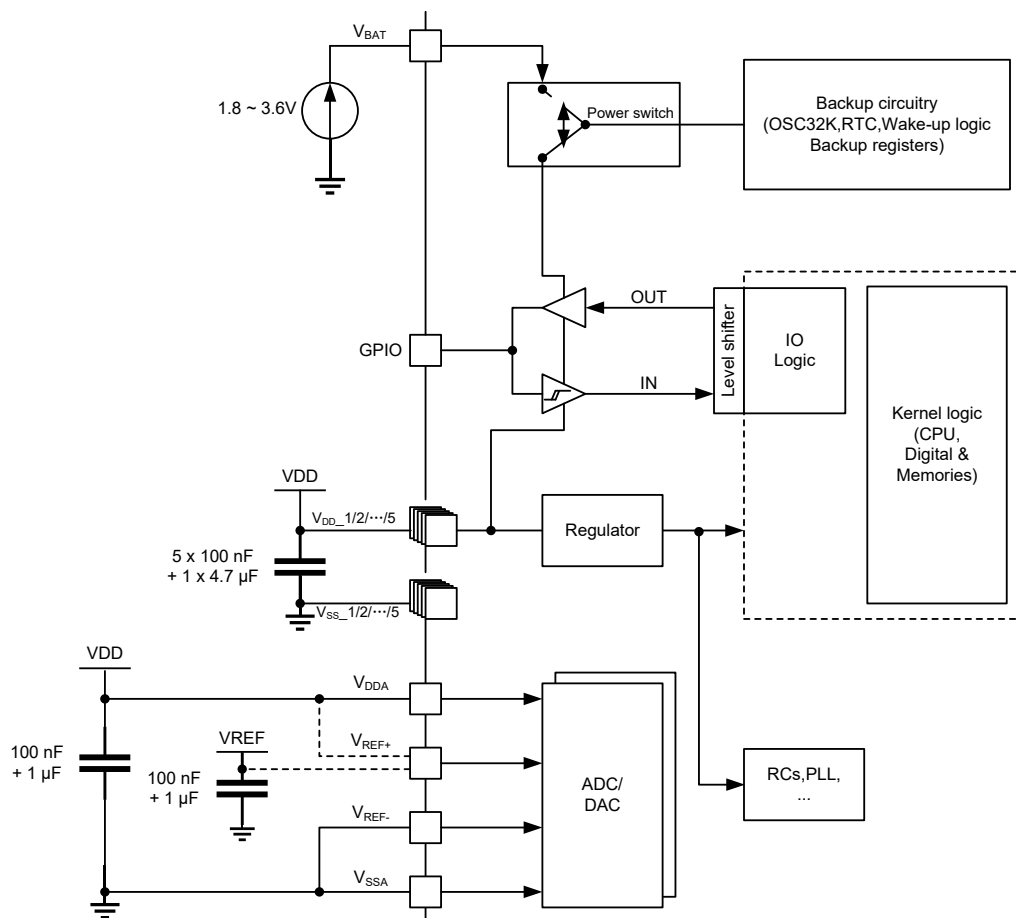


图 8. 供电方案

注：上图中的 $4.7\ \mu\text{F}$ 电容必须连接到 V_{DD3} 。

绝对最大值

额定值

加在器件上的载荷如果超过「绝对最大额定值」列表 (表 8, 表 9, 表 10) 中给出的值, 可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷, 并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 8. 电压特性

符号	参数	最小值	最大值	单位
V _{DD} - V _{SS}	外部主供电电压 (包含 V _{DDA} 和 V _{DD})	-0.3	4.0	V
V _{IN}	在 FT 引脚上的输入电压	V _{SS} - 0.3	6.0	
	在 FTa 引脚上的输入电压 (引脚设置为输入浮空、输入上拉或输入下拉模式)			
	在 TC 引脚上的输入电压	V _{SS} - 0.3	4.0	
	在 FTa 引脚上的输入电压 (引脚设置为模拟模式)			
ΔV _{DD,x}	不同供电引脚之间的电压差	—	50	mV
V _{SS,x} - V _{SS}	不同接地引脚之间的电压差	—	50	

表 9. 电流特性

符号	参数	最大值	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流 (源电流)	150	mA
I_{VSS}	经过 V_{SS} 地线的总电流 (灌电流)	150	
I_{IO}	任意 GPIO 和控制引脚上的输出灌电流	25	
	任意 GPIO 和控制引脚上的输出源电流	-25	

表 10. 温度特性

符号	参数	数值	单位
T_{STG}	储存温度范围	-60 ~ +150	°C
T_J	最大结温度	125	

电气敏感性

基于三个不同的测试 (HBM, CDM 和 LU), 使用特定的测量方法, 对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电 (ESD)

静电放电施加到所有样品的所有引脚上。这个测试符合 JS-001-2017/JS-002-2018 标准。

表 11. ESD 值

符号	参数	条件	类型	最大值 (注)	单位
$V_{ESD(HBM)}$	静电放电电压 (人体模型)	$T_A = +25\text{ °C}$, 符合 JS-001-2017	3A	5000	V
$V_{ESD(CDM)}$	静电放电电压 (充电设备模型)	$T_A = +25\text{ °C}$, 符合 JS-002-2018	III	1000	

注: 由综合评估得出, 不在生产中测试。

静态栓锁 (Static latch-up)

- 为了评估栓锁性能需要在样品上进行符合 EIA/JESD78E 集成电路栓锁标准的互补静态栓锁测试：
- 为每个电源引脚提供超过极限的供电电压。
 - 在每个输入、输出和可配置的 GPIO 引脚上注入电流。

表 12. Latch-up 值

符号	参数	条件	级别 / 类型
LU	静态栓锁类型	T _A = +105 °C，符合 EIA/JESD78E	II 类 A (200 mA)

通用工作条件

表 13. 通用工作条件

符号	参数	条件		最小值	最大值	单位
f _{HCLK}	内部 AHB 时钟频率	未使用闪存存储器片 3	3.1 V ≤ V _{DD} ≤ 3.6 V	0	240	MHz
			2.6 V ≤ V _{DD} < 3.1 V	0	180	
		使用闪存存储器片 3	3.1 V ≤ V _{DD} ≤ 3.6 V	0	180	
			2.6 V ≤ V _{DD} < 3.1 V	0	160	
f _{PCLK1}	内部 APB1 时钟频率	—		0	120	MHz
f _{PCLK2}	内部 APB2 时钟频率	—		0	120	MHz
V _{DD}	标准工作电压	—		2.6	3.6	V
V _{DDA}	模拟部分工作电压	必须与 V _{DD} 相同		2.6	3.6	V
V _{BAT}	电池供电部分工作电压	—		1.8	3.6	V
P _D	功率耗散：T _A = 105 °C	100LQFP		—	326	mW
		64LQFP		—	309	
		48LQFP		—	290	
		48QFN		—	662	
T _A	环境温度	—		-40	105	°C

上电和掉电时的工作条件

表 14. 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t _{VDD}	V _{DD} 上升速率	—	0	∞(注)	ms/V
	V _{DD} 下降速率		20	∞	μs/V

注：若 V_{DD} 上电速率慢于 120 ms/V，必须确认 V_{DD} 电压高于 V_{POR} + 0.1 V，代码才能对备份域寄存器进行存取。

内嵌复位和电源管理模块特性

表 15. 内嵌复位和电源管理模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVM}	电源电压监测器的电平	PVMSEL[2:0] = 001 (上升沿) ⁽¹⁾	2.19	2.28	2.37	V
		PVMSEL[2:0] = 001 (下降沿) ⁽¹⁾	2.09	2.18	2.27	V
		PVMSEL[2:0] = 010 (上升沿) ⁽²⁾	2.28	2.38	2.48	V
		PVMSEL[2:0] = 010 (下降沿) ⁽²⁾	2.18	2.28	2.38	V
		PVMSEL[2:0] = 011 (上升沿) ⁽²⁾	2.38	2.48	2.58	V
		PVMSEL[2:0] = 011 (下降沿) ⁽²⁾	2.28	2.38	2.48	V
		PVMSEL[2:0] = 100 (上升沿) ⁽²⁾	2.47	2.58	2.69	V
		PVMSEL[2:0] = 100 (下降沿) ⁽²⁾	2.37	2.48	2.59	V
		PVMSEL[2:0] = 101 (上升沿) ⁽²⁾	2.57	2.68	2.79	V
		PVMSEL[2:0] = 101 (下降沿) ⁽²⁾	2.47	2.58	2.69	V
		PVMSEL[2:0] = 110 (上升沿) ⁽²⁾	2.66	2.78	2.9	V
		PVMSEL[2:0] = 110 (下降沿) ⁽²⁾	2.56	2.68	2.8	V
		PVMSEL[2:0] = 111 (上升沿)	2.76	2.88	3	V
		PVMSEL[2:0] = 111 (下降沿)	2.66	2.78	2.9	V
V _{HYS_P} ⁽²⁾	PVM 迟滞	—	—	100	—	mV
V _{POR} ⁽²⁾	上电复位阈值	—	2.03	2.18	2.35	V
V _{LVR} ⁽²⁾	低电压复位阈值	—	1.85 ⁽³⁾	2.02	2.2	V
V _{LVRhyst} ⁽²⁾	LVR 迟滞	—	—	160	—	mV
T _{RESTTEMPO} ⁽²⁾	复位持续时间: V _{DD} 高于 V _{POR} 且持续时间超过 T _{RESTTEMPO} 后 CPU 开始运行	—	—	13	—	ms

注: 1. PVMSEL[2:0] = 001 可能因电压检测电平低于 V_{POR} 而无法使用。
2. 由综合评估得出, 不在生产中测试。
3. 产品的特性由设计模拟至最小的数值 V_{LVR}。

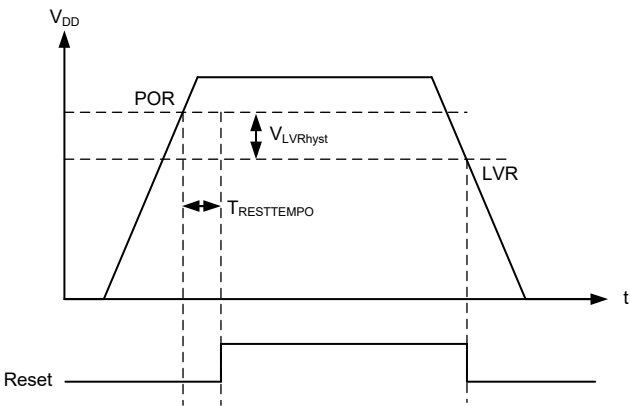


图 9. 上电复位和低电压复位的波形图

存储器特性

表 16. 内部闪存存储器特性

符号	参数	条件	典型值 (注)						单位
			f _{HCLK}						
			240	200	144	72	48	8	MHz
T _{PROG}	编程时间	—	50						μs
t _{ERASE}	扇区 (2K 字节) 擦除时间	—	50						ms
t _{ME}	片擦除时间	HT32F49365	0.8						s
		HT32F49395	1.4 (每一个 Bank)						
I _{DD}	编程电流	写模式	35.5	29.9	22.5	13.4	9.9	3.7	mA
		擦除模式	57.4	49.2	38.8	25.4	20.6	11.4	

注：由综合评估得出，不在生产中测试。

表 17. 内部闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 (注)	典型值	最大值	单位
NEND	寿命 (擦写次数)	T _A = -40 ~ 105 °C	100	—	—	千次
t _{RET}	数据保存期限	T _A = 105 °C	10	—	—	年

注：由综合评估得出，不在生产中测试。

供电电流特性

电流消耗是多种参数和因素的综合指标，由综合评估得出，不在生产中测试。这些参数和因素包括工作电压、环境温度、GPIO 引脚的负载、产品的软件配置、工作频率、GPIO 脚的翻转速率、以及执行的代码等。

典型和最大电流消耗

单片机处于下述条件下：

- 所有的 GPIO 引脚都处于模拟模式。
- 指令预取功能开启 (提示：这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时：
 - 若 f_{HCLK} > 120 MHz，f_{PCLK1} = f_{HCLK}/2，f_{PCLK2} = f_{HCLK}/2，f_{ADCCLK} = f_{PCLK2}/4；
 - 若 f_{HCLK} ≤ 120 MHz，f_{PCLK1} = f_{HCLK}，f_{PCLK2} = f_{HCLK}，f_{ADCCLK} = f_{PCLK2}/4。
- 代码在 ZW 区执行。
- 除非特别标注，典型值是在 V_{DD} = 3.3 V 和 T_A = 25 °C 时测试得到，最大值是在 V_{DD} = 3.6 V 时测试得到。

表 18. 运行模式下的典型电流消耗

符号	参数	条件	f _{HCLK}	典型值		单位
				使能所有外设	关闭所有外设	
I _{DD}	运行模式的供应电流	高速外部晶振 (HEXT) ⁽¹⁾⁽²⁾	240 MHz	93.8	41.0	mA
			200 MHz	78.9	34.6	
			144 MHz	57.8	25.7	
			120 MHz	59.1	23.3	
			108 MHz	53.5	21.3	
			72 MHz	37.1	15.4	
			48 MHz	25.7	11.1	
			36 MHz	19.9	8.99	
			24 MHz	14.2	6.86	
			16 MHz	10.3	5.44	
			8 MHz	6.01	3.58	
			4 MHz	4.16	2.95	
			2 MHz	3.23	2.63	
			1 MHz	2.77	2.47	
			500 kHz	2.55	2.39	
			125 kHz	2.37	2.34	
		高速内部时钟 (HICK) ⁽²⁾	240 MHz	93.8	41.0	mA
			200 MHz	78.9	34.6	
			144 MHz	57.8	25.6	
			120 MHz	59.0	23.2	
			108 MHz	53.4	21.2	
			72 MHz	37.1	15.4	
			48 MHz	25.6	11.1	
			36 MHz	19.8	8.91	
			24 MHz	14.1	6.78	
			16 MHz	10.2	5.36	
			8 MHz	5.92	3.49	
			4 MHz	4.07	2.86	
			2 MHz	3.14	2.54	
			1 MHz	2.69	2.39	
			500 kHz	2.46	2.31	
			125 kHz	2.29	2.25	

注：1. 外部时钟为 8 MHz。
2. 当 f_{HCLK} > 8 MHz 时启用 PLL。

电气特性

表 19. 睡眠模式下的典型电流消耗

符号	参数	条件	f _{HCLK}	典型值		单位
				使能所有外设	关闭所有外设	
I _{DD}	睡眠模式的供应电流	高速外部晶振 (HEXT) ⁽¹⁾⁽²⁾	240 MHz	78.3	12.5	mA
			200 MHz	65.9	10.8	
			144 MHz	48.3	8.52	
			120 MHz	50.2	8.07	
			108 MHz	45.5	7.54	
			72 MHz	31.8	6.29	
			48 MHz	22.1	5.07	
			36 MHz	17.2	4.45	
			24 MHz	12.4	3.83	
			16 MHz	9.12	3.42	
			8 MHz	5.42	2.57	
			4 MHz	3.87	2.45	
			2 MHz	3.09	2.39	
			1 MHz	2.71	2.36	
			500 kHz	2.52	2.34	
			125 kHz	2.37	2.33	
		高速内部时钟 (HICK) ⁽²⁾	240 MHz	78.3	12.4	mA
			200 MHz	65.9	10.8	
			144 MHz	48.3	8.44	
			120 MHz	50.2	7.99	
			108 MHz	45.5	7.45	
			72 MHz	31.7	6.20	
			48 MHz	22.0	4.97	
			36 MHz	17.2	4.35	
			24 MHz	12.3	3.74	
			16 MHz	9.04	3.33	
			8 MHz	5.33	2.48	
			4 MHz	3.78	2.36	
			2 MHz	3.01	2.30	
			1 MHz	2.62	2.27	
			500 kHz	2.43	2.25	
			125 kHz	2.28	2.24	

注：1. 外部时钟为 8 MHz。
2. 当 f_{HCLK} > 8 MHz 时启用 PLL。

电气特性

表 20. 运行模式下的最大电流消耗

符号	参数	条件	f _{HCLK}	最大值		单位
				T _A = 85 °C	T _A = 105 °C	
I _{DD}	运行模式的供应电流	高速外部晶振 (HEXT) ^(注) 使能所有外设	240 MHz	108.5	119.6	mA
			200 MHz	93.3	104.2	
			144 MHz	71.6	82.2	
			120 MHz	73.2	83.7	
			108 MHz	67.5	77.9	
			72 MHz	50.4	60.6	
			48 MHz	38.4	48.5	
			36 MHz	32.4	42.3	
			24 MHz	26.3	36.2	
			16 MHz	22.3	32.0	
			8 MHz	17.8	27.5	
		高速外部晶振 (HEXT) ^(注) 关闭所有外设	240 MHz	53.4	63.5	mA
			200 MHz	46.9	57.0	
			144 MHz	37.8	47.7	
			120 MHz	35.4	45.3	
			108 MHz	33.3	43.2	
			72 MHz	27.3	37.1	
			48 MHz	22.9	32.6	
			36 MHz	20.7	30.4	
			24 MHz	18.5	28.2	
			16 MHz	17.0	26.7	
			8 MHz	15.2	24.8	

注：外部时钟为 8 MHz，当 f_{HCLK} > 8 MHz 时启用 PLL。

电气特性

表 21. 睡眠模式下的最大电流消耗

符号	参数	条件	f _{HCLK}	最大值		单位
				T _A = 85 °C	T _A = 105 °C	
I _{DD}	睡眠模式的供应电流	高速外部晶振 (HEXT) ^(注) 使能所有外设	240 MHz	92.8	103.2	mA
			200 MHz	80.0	90.4	
			144 MHz	61.9	72.1	
			120 MHz	64.1	74.3	
			108 MHz	59.2	69.3	
			72 MHz	44.8	54.7	
			48 MHz	34.6	44.4	
			36 MHz	29.5	39.2	
			24 MHz	24.4	34.0	
			16 MHz	20.9	30.5	
			8 MHz	17.0	26.5	
		高速外部晶振 (HEXT) ^(注) 关闭所有外设	240 MHz	23.9	33.5	mA
			200 MHz	22.3	31.8	
			144 MHz	20.0	29.4	
			120 MHz	19.6	29.0	
			108 MHz	19.0	28.4	
			72 MHz	17.7	27.1	
			48 MHz	16.4	25.8	
			36 MHz	15.8	25.2	
			24 MHz	15.2	24.6	
			16 MHz	14.8	24.2	
			8 MHz	13.9	23.3	

注：外部时钟为 8 MHz，当 f_{HCLK} > 8 MHz 时启用 PLL。

表 22. 深睡眠和待机模式下的典型和最大电流消耗

符号	参数	条件	典型值 ⁽¹⁾		最大值 ⁽²⁾			单位
			V _{DD} /V _{BAT} = 2.6 V	V _{DD} /V _{BAT} = 3.3 V	T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{DD}	深睡眠模式的 供应电流	LOD 处于运行模式，HICK 和 HEXT 关闭 (WDT 关闭)	1.35	1.36	参见注 (3)	13.6	23.7	mA
		LDO 处于低功耗模式，HICK 和 HEXT 关闭 (WDT 关闭)	1.33	1.34		13.1	22.8	
	待机模式的 供应电流	LEXT 和 RTC 关闭	3.93	5.72	7.49	10.4	14.9	μA
		LEXT 和 RTC 开启	4.55	6.48	8.34	11.5	16.5	

注：1. 典型值是在 T_A = 25 °C 下测试得到。
2. 由综合评估得出，不在生产中测试。
3. 随工艺偏移可能为典型值的数倍。

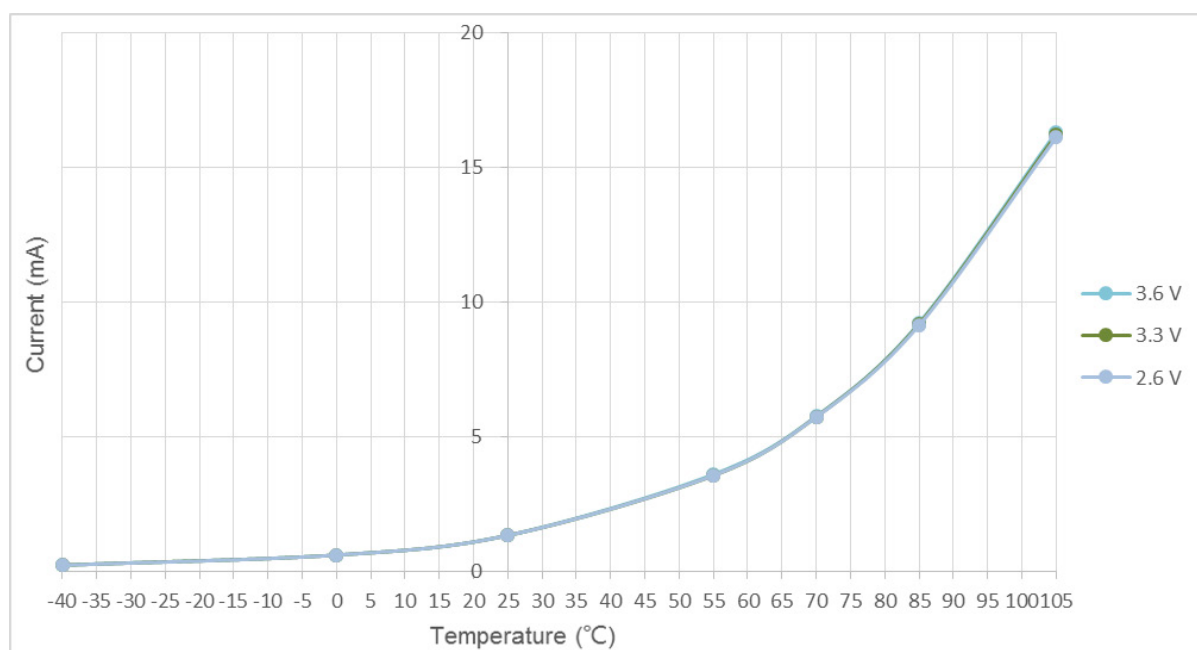


图 10. 深睡眠模式下的典型电流消耗在不同的 V_{DD} 时与温度的对比

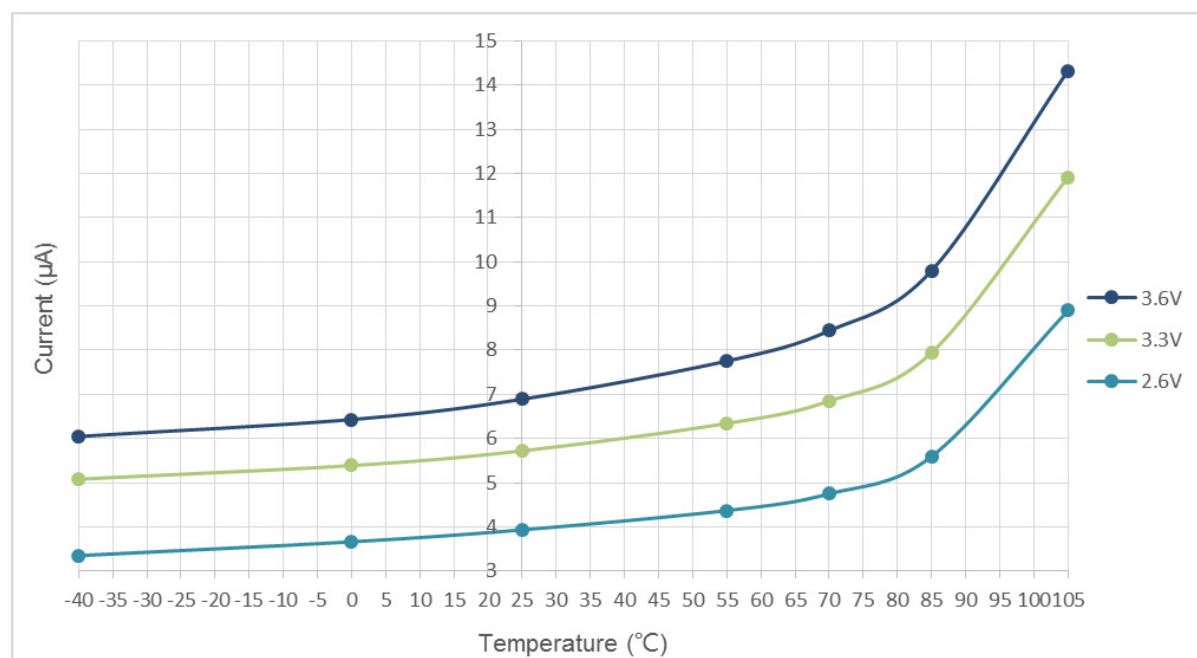


图 11. 待机模式下的典型电流消耗在不同的 V_{DD} 时与温度的对比

表 23. V_{BAT} 的典型和最大电流消耗

符号	参数	条件	典型值 ⁽¹⁾			最大值 ⁽²⁾			单位
			$V_{BAT} = 2.0\text{ V}$	$V_{BAT} = 2.6\text{ V}$	$V_{BAT} = 3.3\text{ V}$	$T_A = 25\text{ }^{\circ}\text{C}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
I_{DD_VBAT}	V_{BAT} 的供应电流	LEXT 和 RTC 开启, $V_{DD} < V_{LVR}$	0.47	0.59	0.77	0.92	1.34	2.04	μA

注：1. 典型值是在 $T_A = 25\text{ }^{\circ}\text{C}$ 下测试得到。
2. 由综合评估得出，不在生产中测试。

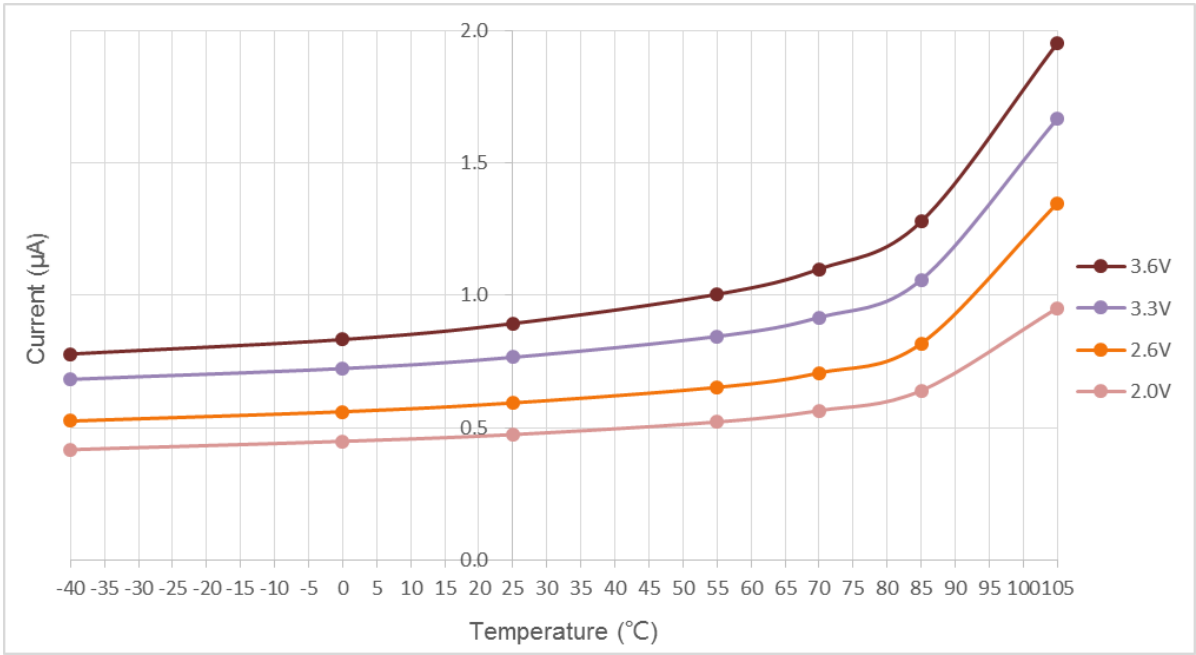


图 12. V_{BAT} 的典型电流消耗 (LEXT 和 RTC 开启) 在不同的 V_{BAT} 电压时与温度的对比

内置外设电流消耗

单片机的工作条件如下：

- 所有的 GPIO 引脚都处于模拟模式。
- 给出的数值是通过测量只开启一个外设的时钟与关闭所有外设的时钟电流消耗相差值计算得出。

电气特性

表 24. 内置外设的电流消耗

内置外设	典型值	单位
AHB	DMA1	9.34
	DMA2	9.39
	GPIOA	1.41
	GPIOB	1.41
	GPIOC	1.47
	GPIOD	1.43
	GPIOE	1.44
	XMC	26.89
	CRC	1.53
	SDIO1	19.62
	SDIO2	20.40
APB1	TMR2	9.11
	TMR3	6.52
	TMR4	6.54
	TMR5	8.82
	TMR6	0.77
	TMR7	0.75
	TMR12	3.89
	TMR13	2.45
	TMR14	2.48
	SPI2/I²S2	5.19
	SPI3/I²S3	4.95
	SPI4/I²S4	2.62
	USART2	2.60
	USART3	2.57
	UART4	2.60
	UART5	2.63
	I²C1	2.47
	I²C2	2.54
	USBFS1	6.40
	CAN1	3.77
	CAN2	3.77
	DAC1/2	2.30
	WWDT	0.34
	PWC	0.34
	BPR	68.36

μA/MHz

内置外设		典型值	单位
APB2	IOMUX	2.32	μA/MHz
	SPI1/I ² S1	2.82	
	USART1	2.53	
	USART6	2.64	
	UART7	2.80	
	UART8	2.85	
	I ² C3	2.48	
	TMR1	8.99	
	TMR8	8.72	
	TMR9	3.78	
	TMR10	2.62	
	TMR11	2.56	
	ADC1	5.17	
	ADC2	5.24	
	ADC3	5.18	
	ACC	0.95	

外部时钟源特性

使用晶体 / 陶瓷谐振器产生的高速外部时钟

高速外部晶振 (HEXT) 可以使用一个 4 ~ 25 MHz 的晶体 / 陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件, 通过综合特性评估得到的结果。在应用中, 谐振器和负载电容必须尽可能地靠近振荡器的引脚, 以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数 (频率、封装、精度等), 请咨询相应的生产厂商。

表 25. HEXT 4 ~ 25 MHz 晶振特性 (1)(2)

符号	参数	条件	最小值	典型值	最大值	单位
f _{HEXT_IN}	振荡器频率	—	4	8	25	MHz
t _{SU(HEXT)} ⁽³⁾	启动时间	V _{DD} 是稳定的	—	2	—	ms

注: 1. 谐振器的特性参数由晶体 / 陶瓷谐振器制造商给出。

2. 由综合评估得出，不在生产中测试。
3. $t_{SU(HEXT)}$ 是启动时间，是从软件使能 HEXT 开始测量，直至得到稳定的 8 MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

对于 C_{L1} 和 C_{L2} , 建议使用高质量的、为高频应用而设计的 (典型值为) $5 \sim 25 \text{ pF}$ 之间的瓷介电容器, 以符合晶体或谐振器要求。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时, PCB 和 MCU 引脚的容抗应该考虑在内 (可以粗略地把引脚与 PCB 板的电容按 10 pF 估计)。

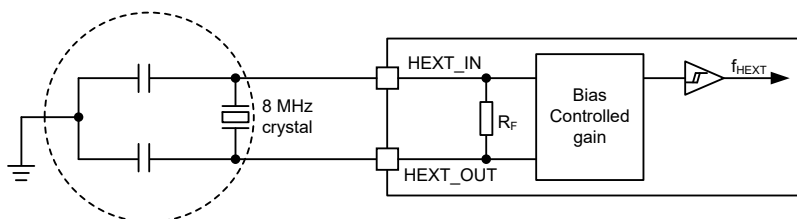


图 13. HEXT 使用 8 MHz 晶振的典型应用

使用外部振荡源产生的高速外部时钟
下表中给出的特性参数是使用一个高速的外部时钟源测得。

表 26. HEXT 外部时钟源特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{HEXT_ext}}$	用户外部时钟频率 (注)	—	1	8	25	MHz
V_{HEXTH}	HEXT_IN 输入引脚高电平电压		$0.7V_{\text{DD}}$	—	V_{DD}	V
V_{HEXTL}	HEXT_IN 输入引脚低电平电压		V_{SS}	—	$0.3V_{\text{DD}}$	
$t_{\text{W(HEXT)}}$	HEXT_IN 高或低的时间 (注)		5	—	—	ns
$t_{\text{r(HEXT)}}$ $t_{\text{f(HEXT)}}$	HEXT_IN 上升或下降的时间 (注)		—	—	20	
$C_{\text{in(HEXT)}}$	HEXT_IN 输入容抗 (注)	—	—	5	—	pF
DuCy(HEXT)	占空比	—	45	—	55	%
I_{L}	HEXT_IN 输入漏电流	$V_{\text{SS}} \leq V_{\text{IN}} \leq V_{\text{DD}}$	—	—	± 1	μA

注：由设计模拟，不在生产中测试。

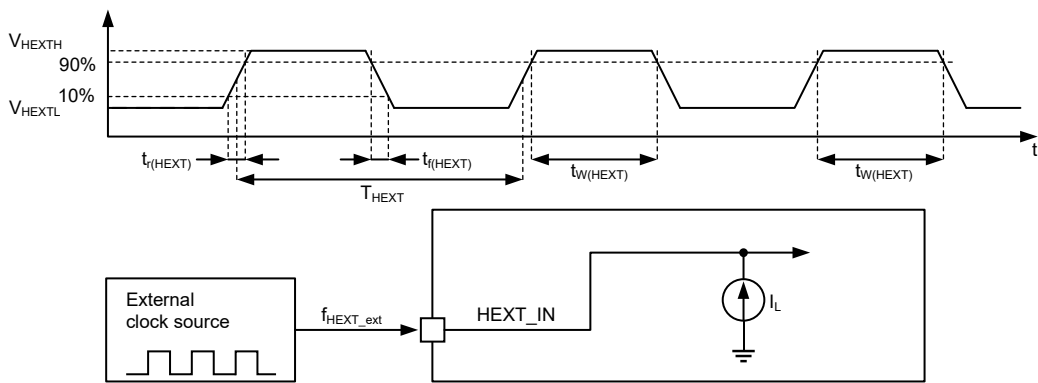


图 14. HEXT 外部时钟源交流时序图

使用晶体 / 陶瓷谐振器产生的低速外部时钟
低速外部晶振 (LEXT) 可以使用一个 32.768 kHz 的晶体 / 陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数 (频率、封装、精度等)，请咨询相应的生产厂商。

表 27. LEXT 32.768 kHz 晶振特性 ⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
$t_{\text{SU(LEXT)}}$	启动时间	V_{DD} 是稳定的	—	150	—	ms

注：1. 谐振器的特性参数由晶体 / 陶瓷谐振器制造商给出。
2. 由综合评估得出，不在生产中测试。
对于 CL1 和 CL2，建议使用高质量的 5 ~ 15 pF 之间的瓷介电容器，以符合晶体或谐振器要求。通常 CL1 和 CL2 具有相同参数。晶体制造商通常以 CL1 和 CL2 的串行组合给出负载电容的参数。
负载电容 C_L 由下式计算： $C_L = CL1 \times CL2 / (CL1 + CL2) + C_{\text{stray}}$ ，其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容，它的典型值是介于 2 pF 至 7 pF 之间。

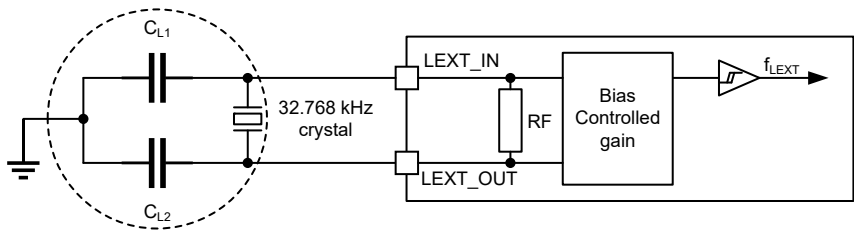


图 15. LEXT 使用 32.768 kHz 晶振的典型应用

注：LEXT_IN 和 LEXT_OUT 间不需要外部电阻，也禁止添加。

使用外部振荡源产生的低速外部时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得。

表 28. LEXT 外部时钟源特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{LEXT_ext}}$	用户外部时钟频率 (注)	—	—	32.768	1000	kHz
V_{LEXTH}	LEXT_IN 输入引脚高电平电压		$0.7V_{\text{DD}}$	—	V_{DD}	V
V_{LEXTL}	LEXT_IN 输入引脚低电平电压		V_{SS}	—	$0.3V_{\text{DD}}$	
$t_{\text{w(LEXT)}}$	LEXT_IN 高或低的时间 (注)		450	—	—	ns
$t_{\text{r(LEXT)}}$ $t_{\text{f(LEXT)}}$	LEXT_IN 上升或下降的时间 (注)		—	—	50	
$C_{\text{in(LEXT)}}$	LEXT_IN 输入容抗 (注)	—	—	5	—	pF
$\text{DuCy}_{\text{(LEXT)}}$	占空比	—	30	—	70	%
I_{L}	LEXT_IN 输入漏电流	$V_{\text{SS}} \leq V_{\text{IN}} \leq V_{\text{DD}}$	—	—	± 1	μA

注：由综合评估得出，不在生产中测试。

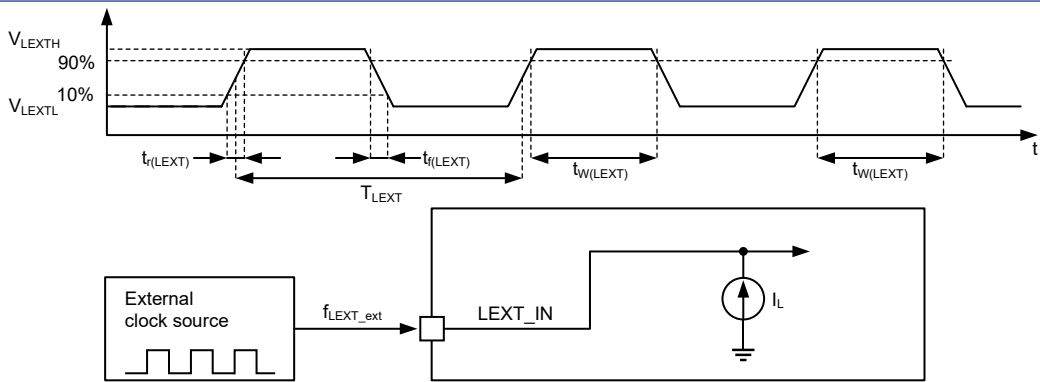


图 16. LEXT 外部时钟源交流时序图

内部时钟源特性

高速内部时钟 (HICK)

表 29. HICK 时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HICK}	频率	—	—	48	—	MHz
$DuCy_{(HICK)}$	占空比	—	45	—	55	%
ACC_{HICK}	HICK 振荡器的精度	使用者以寄存器 RCC_CTRL 校准	—	—	1 ⁽¹⁾	%
		使用者以 ACC 校准	—	—	0.25 ⁽¹⁾	
		出厂校准 ⁽²⁾	$T_A = -40 \sim 105\text{ }^{\circ}\text{C}$	—	2	%
			$T_A = -40 \sim 85\text{ }^{\circ}\text{C}$	—	2	
			$T_A = 0 \sim 70\text{ }^{\circ}\text{C}$	—	1.5	
			$T_A = 25\text{ }^{\circ}\text{C}$	—	1	
$t_{SU(HICK)}^{(2)}$	HICK 振荡器启动时间	—	—	—	10	μs
$I_{DD(HICK)}^{(2)}$	HICK 振荡器功耗	—	—	240	290	μA

注：1. 由设计模拟，不在生产中测试。
2. 由综合评估得出，不在生产中测试。

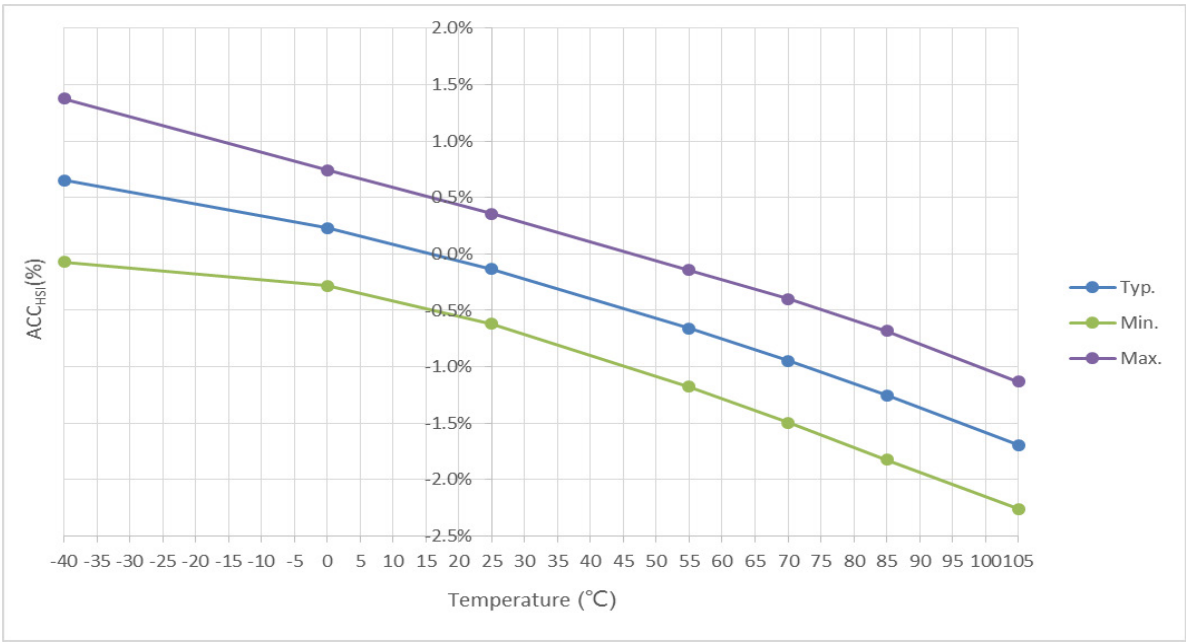


图 17. HICK 时钟精度与温度的对比

低速内部时钟 (LICK)

表 30. LICK 时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{LICK}^{(注)}$	频率	—	30	40	60	kHz

注：由综合评估得出，不在生产中测试。

PLL 特性

表 31. PLL 特性

符号	参数	最小值	典型值	最大值 ⁽¹⁾	单位
f_{PLL_IN}	PLL 输入时钟 ⁽²⁾	2	8	16	MHz
	PLL 输入时钟占空比	40	—	60	%
f_{PLL_OUT}	PLL 倍频输出时钟	16	—	240	MHz
t_{LOCK}	PLL 锁相时间	—	—	200	μs
Jitter	相邻周期抖动	—	—	300	ps

注：1. 由综合评估得出，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据 PLL 输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

低功耗模式唤醒时间

下表列出的唤醒时间是在系统时钟为 HICK 时钟的唤醒阶段测量得到。唤醒时使用的时钟源当前依据当前的操作模式而定：

- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟；
- 深睡眠或待机模式：时钟源是 HICK 时钟。

表 32. 低功耗模式的唤醒时间

符号	参数	典型值	单位
$t_{WUSLEEP}^{(注)}$	从睡眠模式唤醒	3.3	μs
$t_{WUDEEPSLEEP}^{(注)}$	从深睡眠模式唤醒 (调压器处于运行模式)	280	μs
	从深睡眠模式唤醒 (调压器处于低功耗模式)	320	
$t_{WUSTDBY}^{(注)}$	从待机模式唤醒	8	ms

注：唤醒时间从唤醒事件发生开始测量，到用户应用程序代码读取第一条指令为止。

EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS (电磁敏感性)

- EFT：在 V_{DD} 和 V_{SS} 上通过耦合 / 去耦合网路施加一个瞬变电压的脉冲群 (正向和反向) 直到产生功能性错误。这个测试符合 IEC 61000-4-4 标准。

表 33. EMS 特性

符号	参数	条件	级别 / 类型
V_{EFT}	在 V_{DD} 和 V_{SS} 上通过符合 IEC 61000-4-4 规范的耦合 / 去耦合网路施加导致功能错误的瞬变脉冲群电压极限, V_{DD} 和 V_{SS} 入口有一 47 μF 电容并且每对 V_{DD} 和 V_{SS} 电源各有一 0.1 μF 旁路电容	$V_{DD} = 3.3 V$, 100LQFP, $T_A = +25^\circ C$, $f_{HCLK} = 240 MHz$ 。符合 IEC 61000-4-4	4A (4 kV)
		$V_{DD} = 3.3 V$, 100LQFP, $T_A = +25^\circ C$, $f_{HCLK} = 72 MHz$ 。符合 IEC 61000-4-4	

在器件级进行 EMC 的评估和优化, 是在典型的应用环境中进行的。应该注意的是, 好的 EMC 性能与用户应用和具体的软件密切相关。因此, 建议用户对软件实行 EMC 优化, 并进行与 EMC 有关的认证测试。

GPIO 端口特性

通用输入 / 输出特性

所有的 GPIO 端口都是兼容 CMOS 和 TTL。

表 34. GPIO 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{IL}	GPIO 脚输入低电平电压	—	-0.3	—	0.28 × V _{DD} + 0.1	V
V _{IH}	TC GPIO 脚输入高电平电压	—	0.31 × V _{DD} + 0.8	—	V _{DD} + 0.3	V
	FTa GPIO 脚输入高电平电压	模拟模式				
	FT GPIO 脚输入高电平电压	—				
	FTa GPIO 脚输入高电平电压	输入浮空、输入上拉、或输入下拉	—	5.5		
V _{hys}	TC GPIO 脚施密特触发器电压迟滞 ⁽¹⁾	—	200	—	—	mV
	FT 和 FTa GPIO 脚施密特触发器电压迟滞 ⁽¹⁾		5% V _{DD}	—	—	—
I _{lk}	输入浮空模式漏电流 ⁽²⁾	V _{SS} ≤ V _{IN} ≤ V _{DD} TC GPIO 脚	—	—	±1	μA
		V _{SS} ≤ V _{IN} ≤ 5.5V FT 和 FTa GPIO 脚	—	—	±1	
R _{PU}	弱上拉等效电阻	V _{IN} = V _{SS}	60	70	100	kΩ
R _{PD}	弱下拉等效电阻 ⁽³⁾	V _{IN} = V _{DD}	60	70	100	kΩ
C _{IO}	GPIO 引脚的电容	—	—	9	—	pF

注: 1. 施密特触发器开关电平的迟滞电压。由综合评估得出, 不在生产中测试。

2. 如果在相邻引脚有反向电流倒灌, 则漏电流可能高于最大值。

3. BOOT0 引脚弱下拉电阻不可禁用。

所有 GPIO 端口都是 CMOS 和 TTL 兼容 (不需软件配置), 它们的特性考虑了多数严格的 CMOS 工艺或 TTL 参数。

输出驱动电流

在用户应用中, GPIO 脚的数目必须保证驱动电流不能超过“绝对最大值 → 额定值”章节给出的绝对最大额定值:

- 所有 GPIO 端口从 V_{DD} 上获取的电流总和, 加上 MCU 在 V_{DD} 上获取的最大运行电流, 不能超过绝对最大额定值 I_{VDD} (参见表 9)。
- 所有 GPIO 端口吸收并从 V_{SS} 上流出的电流总和, 加上 MCU 在 V_{SS} 上流出的最大运行电流, 不能超过绝对最大额定值 I_{VSS} (参见表 9)。

输出电压

所有的 GPIO 端口都是兼容 CMOS 和 TTL 的。

表 35. 输出电压特性

符号	参数	条件	最小值	最大值	单位
极大电流推动 / 吸入能力					
V _{OL}	输出低电平	CMOS 端口, I _{IO} = 15 mA	—	0.4	V
V _{OH}	输出高电平		V _{DD} - 0.4	—	
V _{OL}	输出低电平	TTL 端口, I _{IO} = 6 mA	—	0.4	V
V _{OH}	输出高电平		2.4	—	
较大电流推动 / 吸入能力					
V _{OL}	输出低电平	CMOS 端口, I _{IO} = 6 mA	—	0.4	V
V _{OH}	输出高电平		V _{DD} - 0.4	—	
V _{OL}	输出低电平	TTL 端口, I _{IO} = 3 mA	—	0.4	V
V _{OH}	输出高电平		2.4	—	
V _{OL} ^(注)	输出低电平	I _{IO} = 20 mA	—	1.3	V
V _{OH} ^(注)	输出高电平		V _{DD} - 1.3	—	
适中电流推动 / 吸入能力					
V _{OL}	输出低电平	CMOS 端口, I _{IO} = 4 mA	—	0.4	V
V _{OH}	输出高电平		V _{DD} - 0.4	—	
V _{OL}	输出低电平	TTL 端口, I _{IO} = 2 mA	—	0.4	V
V _{OH}	输出高电平		2.4	—	
V _{OL} ^(注)	输出低电平	I _{IO} = 10 mA	—	1.3	V
V _{OH} ^(注)	输出高电平		V _{DD} - 1.3	—	

注: 由综合评估得出, 不在生产中测试。

输入交流特性

输入交流特性的定义和数值在下表给出。

表 36. 输入交流特性

符号	参数	最小值	最大值	单位
$t_{EXINTpw}$	EXINT 控制器检测到外部信号的脉冲宽度	10	—	ns

NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺,它连接了一个不能断开的上拉电阻, R_{PU} (参见下表)。

表 37. NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(注)}$	NRST 输入低电平电压	—	-0.5	—	0.8	V
$V_{IH(NRST)}^{(注)}$	NRST 输入高电平电压	—	2	—	$V_{DD} + 0.3$	
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	—	—	500	—	mV
R_{PU}	弱上拉等效电阻	$V_{IN} = V_{SS}$	30	40	50	k Ω
$V_{F(NRST)}^{(注)}$	NRST 输入滤波脉冲	—	—	—	33.3	μ s
$V_{NF(NRST)}^{(注)}$	NRST 输入非滤波脉冲	—	66.7	—	—	μ s

注：由综合评估得出，不在生产中测试。

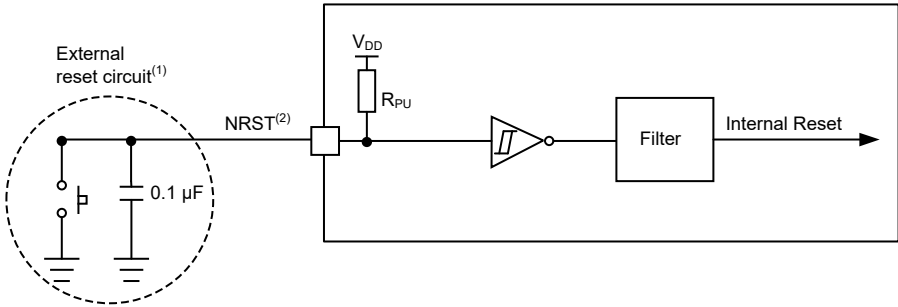


图 18. 建议的 NRST 引脚保护

注：1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 37 中列出的最大 $V_{IL(NRST)}$ 以下，否则 MCU 不能得到复位。

XMC 特性

PSRAM / NOR 异步时序和波形

这些表格中的结果是按照下述 XMC 配置得到：

- 地址建立时间 (AddressSetupTime) = 0
- 地址保持时间 (AddressHoldTime) = 1
- 数据建立时间 (DataSetupTime) = 1

表 38. 异步总线复用的 PSRAM/NOR 读操作时序

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	XMC_NE 低时间	$7t_{HCLK} - 2$	$7t_{HCLK} + 2$	ns
$t_{v(NOE_NE)}$	XMC_NE 低至 XMC_NOE 低有效时间	$3t_{HCLK} - 0.5$	$3t_{HCLK} + 1.5$	ns
$t_{w(NOE)}$	XMC_NOE 低时间	$4t_{HCLK} - 1$	$4t_{HCLK} + 2$	ns
$t_{h(NE_NOE)}$	XMC_NOE 高至 XMC_NE 高保持时间	-1	—	ns
$t_{v(A_NE)}$	XMC_NE 低至 XMC_A 有效时间	—	0	ns
$t_{v(NADV_NE)}$	XMC_NE 低至 XMC_NADV 低有效时间	3	5	ns
$t_{w(NADV)}$	XMC_NADV 低时间	$t_{HCLK} - 1.5$	$t_{HCLK} + 1.5$	ns
$t_{h(AD_NADV)}$	XMC_NADV 高之后 XMC_AD (地址) 有效保持时间	$t_{HCLK} + 3$	—	ns
$t_{h(A_NOE)}$	XMC_NOE 高之后的地址保持时间	$t_{HCLK} + 3$	—	ns

符号	参数	最小值	最大值	单位
$t_{h(UBLB_NOE)}$	XMC_NOE 高之后的 XMC_UB/LB 保持时间	0	—	ns
$t_{v(UBLB_NE)}$	XMC_NE 低至 XMC_UB/LB 有效时间	—	0	ns
$t_{su(Data_NE)}$	数据至 XMC_NE 高的建立时间	$2t_{HCLK} + 24$	—	ns
$t_{su(Data_NOE)}$	数据至 XMC_NOE 高的建立时间	$2t_{HCLK} + 25$	—	ns
$t_{h(Data_NE)}$	XMC_NE 高之后的数据保持时间	0	—	ns
$t_{h(Data_NOE)}$	XMC_NOE 高之后的数据保持时间	0	—	ns

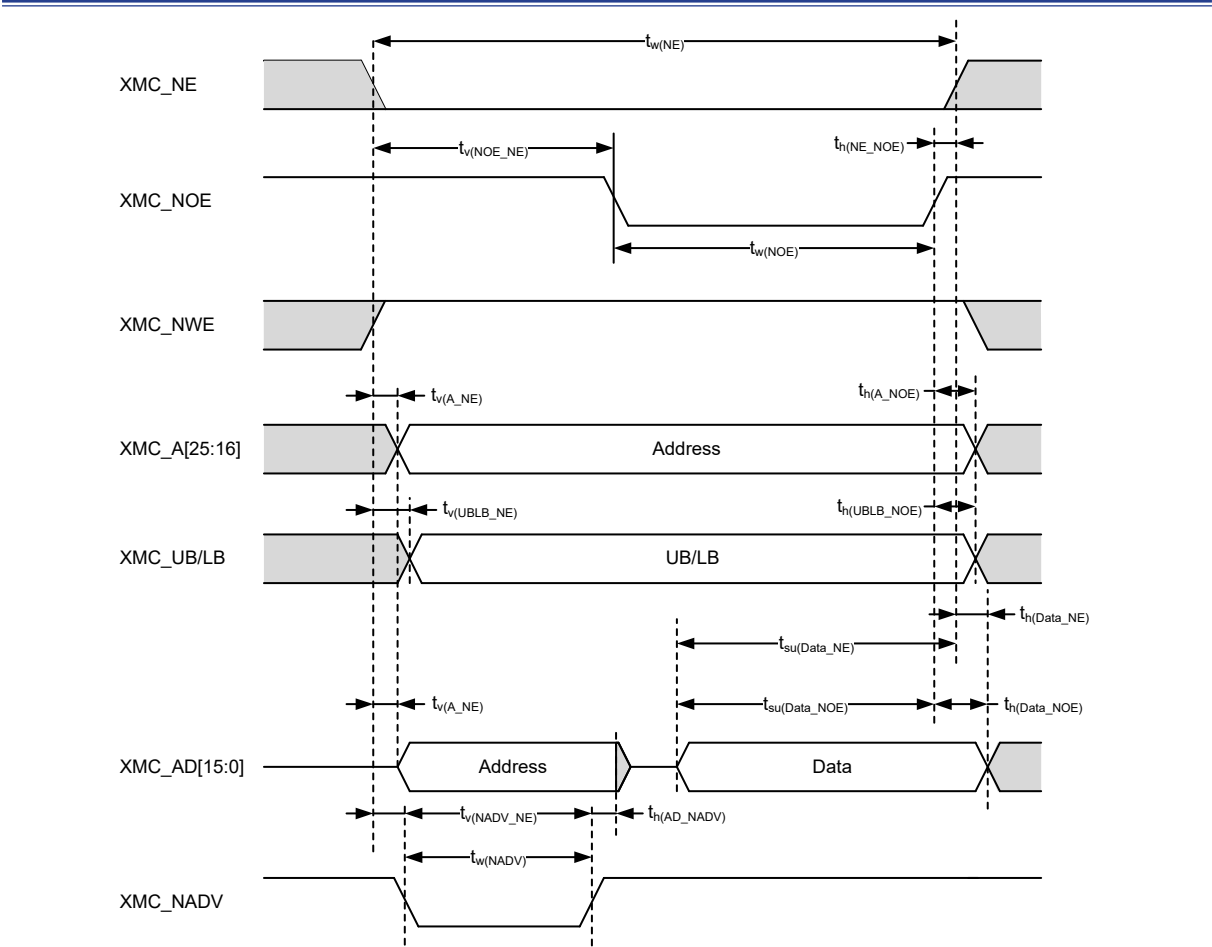


图 19. 异步总线复用 PSRAM/NOR 读操作波形

表 39. 异步总线复用的 PSRAM/NOR 写操作时序

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	XMC_NE 低时间	$5t_{HCLK} - 1$	$5t_{HCLK} + 2$	ns
$t_{v(NWE_NE)}$	XMC_NE 低至 XMC_NWE 低有效时间	$2t_{HCLK}$	$2t_{HCLK} + 1$	ns
$t_{w(NWE)}$	XMC_NWE 低时间	$2t_{HCLK} - 1$	$2t_{HCLK} + 2$	ns
$t_{h(NE_NWE)}$	XMC_NWE 高至 XMC_NE 高保持时间	$t_{HCLK} - 1$	—	ns
$t_{v(A_NE)}$	XMC_NE 低至 XMC_A 有效时间	—	7	ns
$t_{v(NADV_NE)}$	XMC_NE 低至 XMC_NADV 低有效时间	3	5	ns
$t_{w(NADV)}$	XMC_NADV 低时间	$t_{HCLK} - 1$	$t_{HCLK} + 1$	ns
$t_{h(AD_NADV)}$	XMC_NADV 高之后 XMC_AD (地址) 保持时间	$t_{HCLK} - 3$	—	ns
$t_{h(A_NWE)}$	XMC_NWE 高之后的地址保持时间	$4t_{HCLK} + 2.5$	—	ns
$t_{h(UBLB_NWE)}$	XMC_NWE 高之后的 XMC_UB/LB 保持时间	$t_{HCLK} - 1.5$	—	ns
$t_{v(UBLB_NE)}$	XMC_NE 低至 XMC_UB/LB 有效时间	—	1.6	ns
$t_{v(Data_NADV)}$	XMC_NADV 高至数据有效时间	—	$t_{HCLK} + 1.5$	ns
$t_{h(Data_NWE)}$	XMC_NWE 高之后的数据保持时间	$t_{HCLK} - 5$	—	ns

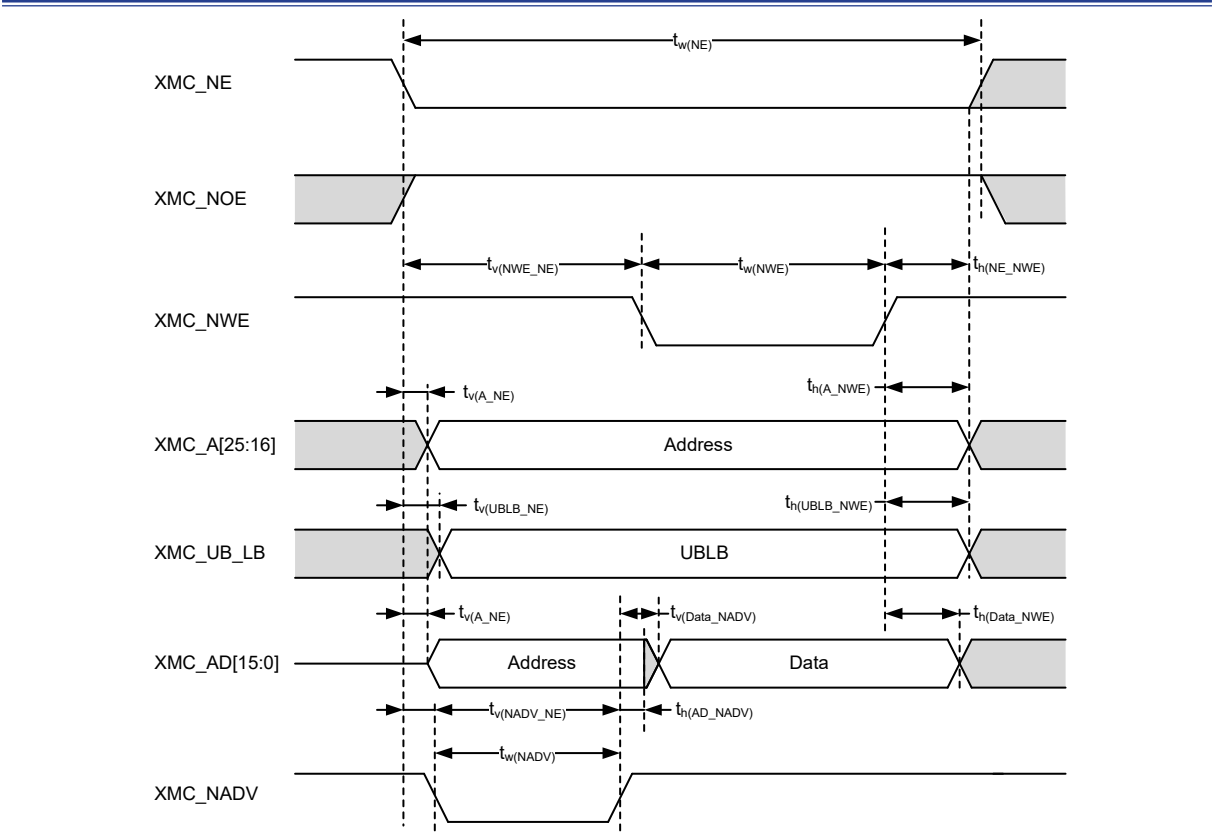


图 20. 异步总线复用 PSRAM/NOR 写操作波形

PSRAM / NOR 同步时序和波形

这些表格中的结果是按照下述 XMC 配置得到:

- BurstAccessMode = XMC_BurstAccessMode_Enable, 使能突发传输模式
- MemoryType = XMC_MemoryType_CRAM, 存储器类型为 CRAM
- WriteBurst = XMC_WriteBurst_Enable, 使能突发写操作
- CLKPrescale = 1, (1 个存储器周期 = 2 个 HICK 周期) (注: CLKPrescale 是 XMC_BK1TMGx 寄存器中的 CLKPSC 位, 参见 HT32F49365/HT32F49395 用户手册)
- 使用 NOR 闪存时, DataLatency = 1; 使用 PSRAM 时, DataLatency = 0 (注: DataLatency 是 XMC_BK1TMGx 寄存器中的 DATLAT 位, 参见 HT32F49365/HT32F49395 用户手册)

表 40. 同步总线复用 PSRAM/NOR 读操作时序

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	XMC_CLK 周期	20	—	ns
$t_d(\text{CLKL-NEL})$	XMC_CLK 低至 XMC_NE 低间隔时间	—	1.5	ns
$t_d(\text{CLKL-NEH})$	XMC_CLK 低至 XMC_NE 高间隔时间	$t_{\text{HCLK}} + 2$	—	ns
$t_d(\text{CLKL-NADV})$	XMC_CLK 低至 XMC_NADV 低间隔时间	—	4	ns
$t_d(\text{CLKL-NADVH})$	XMC_CLK 低至 XMC_NADV 高间隔时间	5	—	ns
$t_d(\text{CLKL-AV})$	XMC_CLK 低至 XMC_A 有效间隔时间	—	0	ns
$t_d(\text{CLKL-AIV})$	XMC_CLK 低至 XMC_A 无效间隔时间	$t_{\text{HCLK}} + 2$	—	ns
$t_d(\text{CLKH-NOEL})$	XMC_CLK 高至 XMC_NOE 低间隔时间	—	$t_{\text{HCLK}} + 1$	ns
$t_d(\text{CLKL-NOEH})$	XMC_CLK 低至 XMC_NOE 高间隔时间	$t_{\text{HCLK}} + 0.5$	—	ns
$t_d(\text{CLKL-ADV})$	XMC_CLK 低至 XMC_AD 有效间隔时间	—	12	ns
$t_d(\text{CLKL-ADIV})$	XMC_CLK 低至 XMC_AD 无效间隔时间	0	—	ns
$t_{\text{su}}(\text{ADV-CLKH})$	XMC_CLK 高之前 XMC_AD 有效建立时间	6	—	ns
$t_{\text{h}}(\text{CLKH-ADV})$	XMC_CLK 高之后 XMC_AD 有效保持时间	$t_{\text{HCLK}} - 10$	—	ns
$t_{\text{su}}(\text{NWAITV-CLKH})$	XMC_CLK 高之前 XMC_NWAIT 有效建立时间	8	—	ns
$t_{\text{h}}(\text{CLKH-NWAITV})$	XMC_CLK 高之后 XMC_NWAIT 有效保持时间	6	—	ns

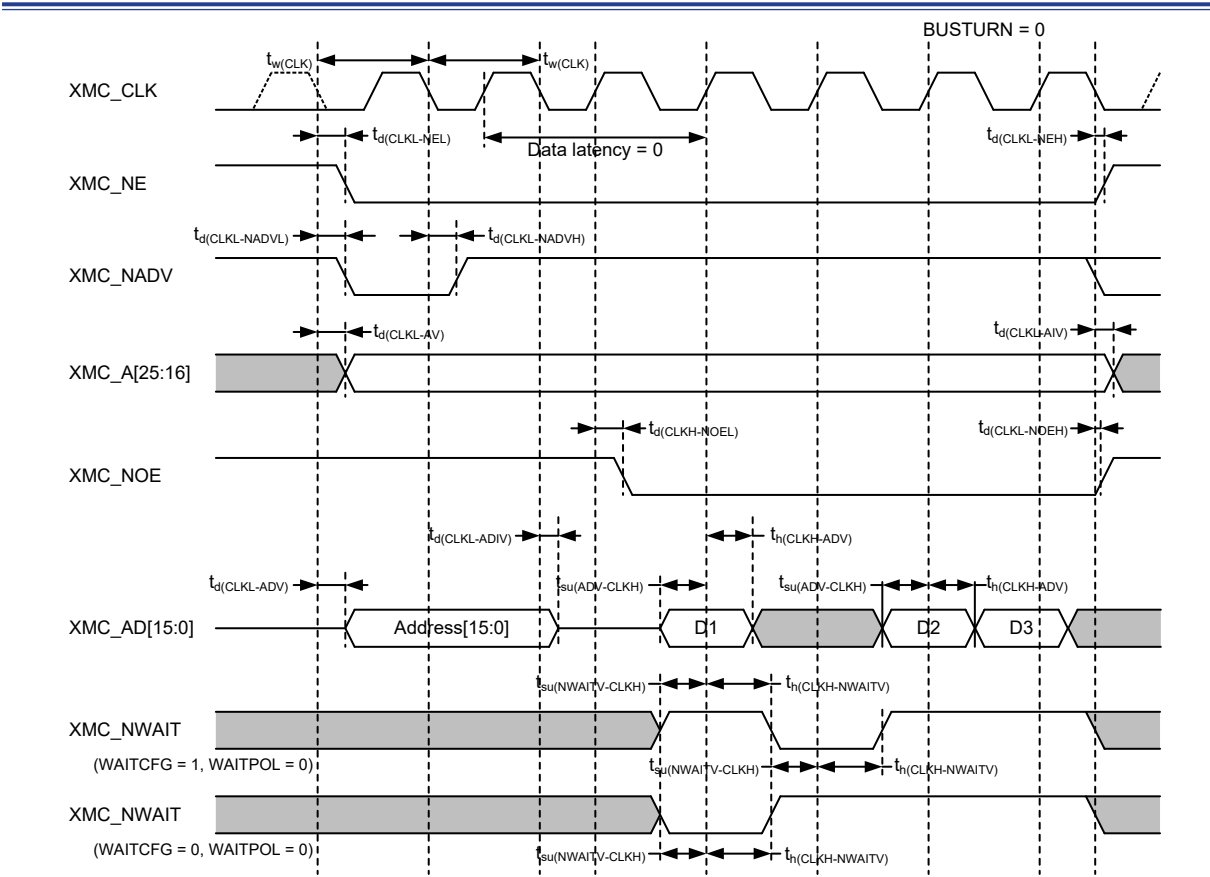


图 21. 同步总线复用 PSRAM/NOR 读操作波形

表 41. 同步总线复用 PSRAM 写操作时序

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	XMC_CLK 周期	20	—	ns
$t_d(\text{CLKL-NEL})$	XMC_CLK 低至 XMC_NE 低间隔时间	—	2	ns
$t_d(\text{CLKL-NEH})$	XMC_CLK 低至 XMC_NE 高间隔时间	$t_{\text{HCLK}} + 2$	—	ns
$t_d(\text{CLKL-NADVL})$	XMC_CLK 低至 XMC_NADV 低间隔时间	—	4	ns
$t_d(\text{CLKL-NADVH})$	XMC_CLK 低至 XMC_NADV 高间隔时间	5	—	ns
$t_d(\text{CLKL-AV})$	XMC_CLK 低至 XMC_A 有效间隔时间	—	0	ns
$t_d(\text{CLKL-AIV})$	XMC_CLK 低至 XMC_A 无效间隔时间	$t_{\text{HCLK}} + 2$	—	ns
$t_d(\text{CLKL-NWEL})$	XMC_CLK 低至 XMC_NWE 低间隔时间	—	1	ns
$t_d(\text{CLKL-NWEH})$	XMC_CLK 低至 XMC_NWE 高间隔时间	$t_{\text{HCLK}} + 1$	—	ns
$t_d(\text{CLKL-ADV})$	XMC_CLK 低至 XMC_AD 有效间隔时间	—	12	ns
$t_d(\text{CLKL-ADIV})$	XMC_CLK 低至 XMC_AD 无效间隔时间	3	—	ns
$t_d(\text{CLKL-Data})$	XMC_CLK 低之后 XMC_AD 有效间隔时间	—	6	ns
$t_d(\text{CLKL-UBLBH})$	XMC_CLK 低至 XMC_UB/LB 高间隔时间	$t_{\text{HCLK}} + 1$	—	ns
$t_{\text{su}}(\text{NWAITV-CLKH})$	XMC_CLK 高之前 XMC_NWAIT 有效建立时间	7	—	ns
$t_{\text{h}}(\text{CLKH-NWAITV})$	XMC_CLK 高之后 XMC_NWAIT 有效保持时间	2	—	ns

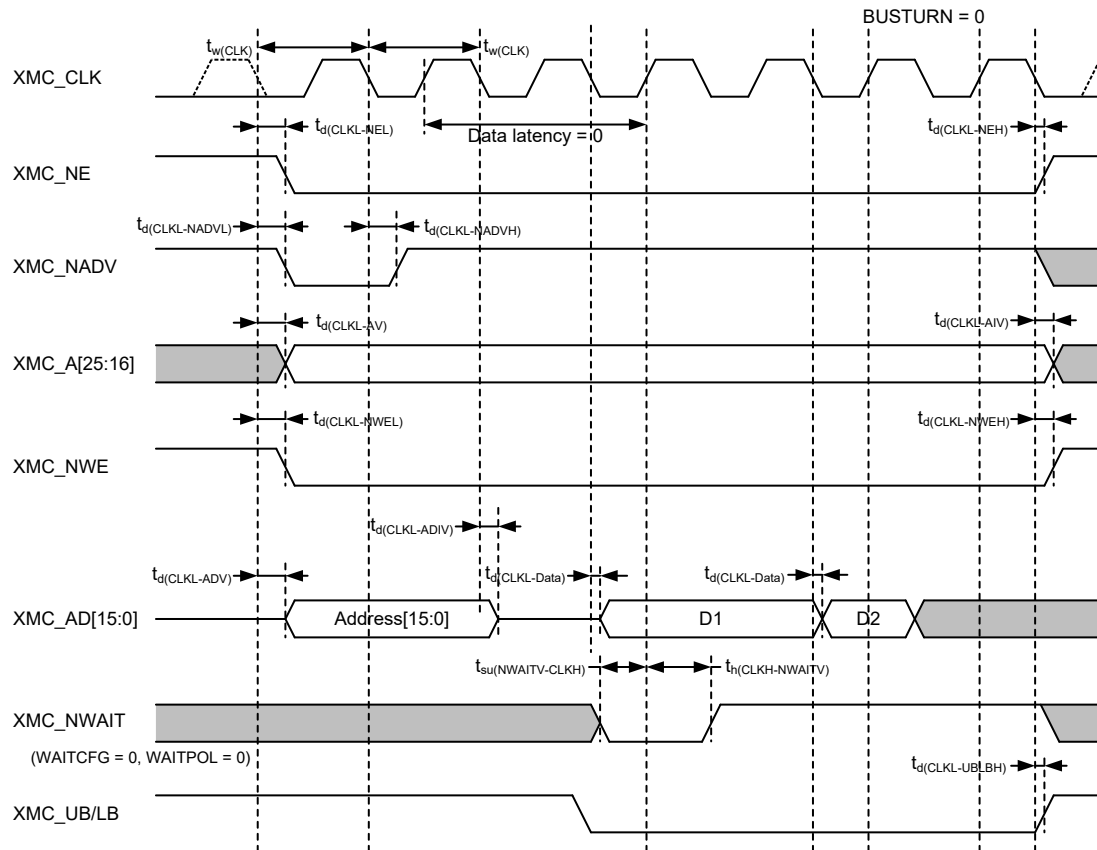


图 22. 同步总线复用 PSRAM 写操作波形

NAND 控制器波形和时序

这些表格中的结果是按照下述 XMC 配置得到:

- COM.XMC_SetupTime = 0x01; (注: XMC_BKxTMGMEM 的 STP)
- COM.XMC_WaitSetupTime = 0x03; (注: XMC_BKxTMGMEM 的 OP)
- COM.XMC_HoldSetupTime = 0x02; (注: XMC_BKxTMGMEM 的 HLD)
- COM.XMC_HiZSetupTime = 0x01; (注: XMC_BKxTMGMEM 的 WRSTP)
- ATT.XMC_SetupTime = 0x01; (注: XMC_BKxTMGATT 的 STP)
- ATT.XMC_WaitSetupTime = 0x03; (注: XMC_BKxTMGATT 的 OP)
- ATT.XMC_HoldSetupTime = 0x02; (注: XMC_BKxTMGATT 的 HLD)
- ATT.XMC_HiZSetupTime = 0x01; (注: XMC_BKxTMGATT 的 WRSTP)
- Bank = XMC_Bank_NAND;
- MemoryDataWidth = XMC_MemoryDataWidth_16b; (注: 存储器数据宽度 = 16 位)
- ECC = XMC_ECC_Enable; (注: 使能 ECC 计算)
- ECCPageSize = XMC_ECCPageSize_512Bytes; (注: ECC 页大小 = 512 字节)
- DLYCRSetupTime = 0; (注: XMC_BKxCTRL 的 DLYCR)
- DLYARSetupTime = 0; (注: XMC_BKxCTRL 的 DLYAR)

表 42. NAND 闪存读写操作时序

符号	参数	最小值	最大值	单位
$t_w(\text{NOE})$	XMC_NOE 低时间	$4t_{\text{HCLK}} - 1.5$	$4t_{\text{HCLK}} + 1.5$	ns
$t_{su}(\text{D-NOE})$	XMC_NOE 高之前至 XMC_D 数据有效建立时间	25	—	ns
$t_h(\text{NOE-D})$	XMC_NOE 高之后至 XMC_D 数据有效保持时间	14	—	ns
$t_d(\text{ALE-NOE})$	XMC_NOE 低之前至 XMC_ALE 有效间隔时间	—	$3t_{\text{HCLK}} + 2$	ns
$t_h(\text{NOE-ALE})$	XMC_NOE 高至 XMC_ALE 无效保持时间	$3t_{\text{HCLK}} + 4.5$	—	ns
$t_w(\text{NWE})$	XMC_NWE 低时间	$4t_{\text{HCLK}} - 1$	$4t_{\text{HCLK}} + 2.5$	ns
$t_v(\text{NWE-D})$	XMC_NWE 低至 XMC_D 数据有效时间	—	0	ns
$t_h(\text{NWE-D})$	XMC_NWE 高至 XMC_D 数据无效保持时间	$10t_{\text{HCLK}} + 4$	—	ns
$t_d(\text{D-NWE})$	XMC_NWE 高之前至 XMC_D 数据有效间隔时间	$6t_{\text{HCLK}} + 12$	—	ns
$t_d(\text{ALE-NWE})$	XMC_NWE 低之前至 XMC_ALE 有效间隔时间	—	$3t_{\text{HCLK}} + 1.5$	ns
$t_h(\text{NWE-ALE})$	XMC_NWE 高至 XMC_ALE 无效保持时间	$3t_{\text{HCLK}} + 4.5$	—	ns

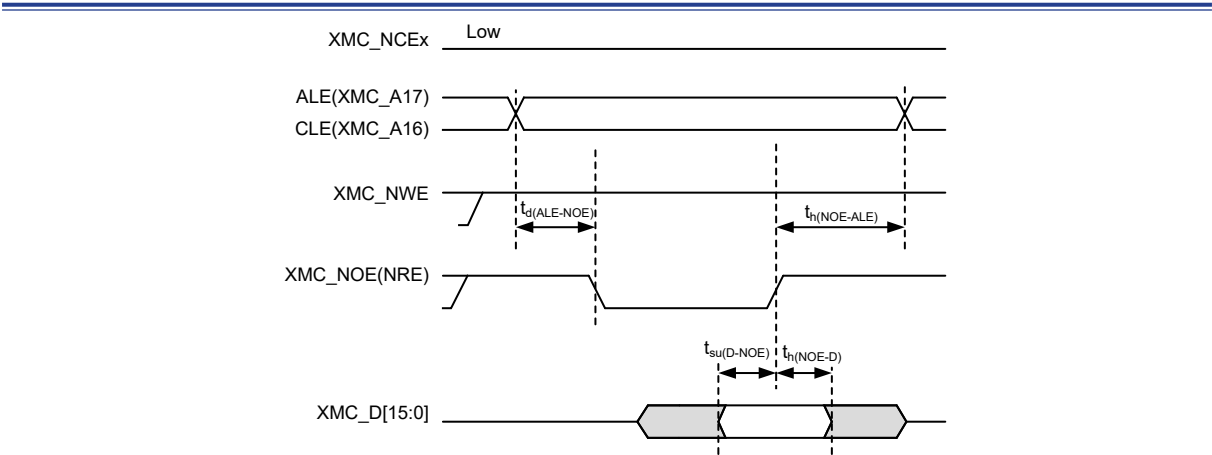


图 23. NAND 控制器读操作波形

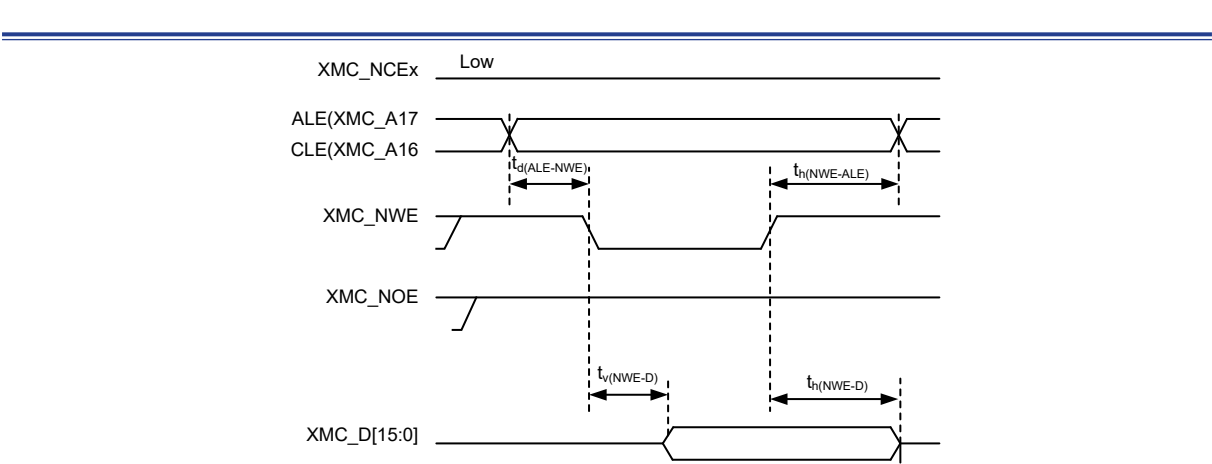


图 24. NAND 控制器写操作波形

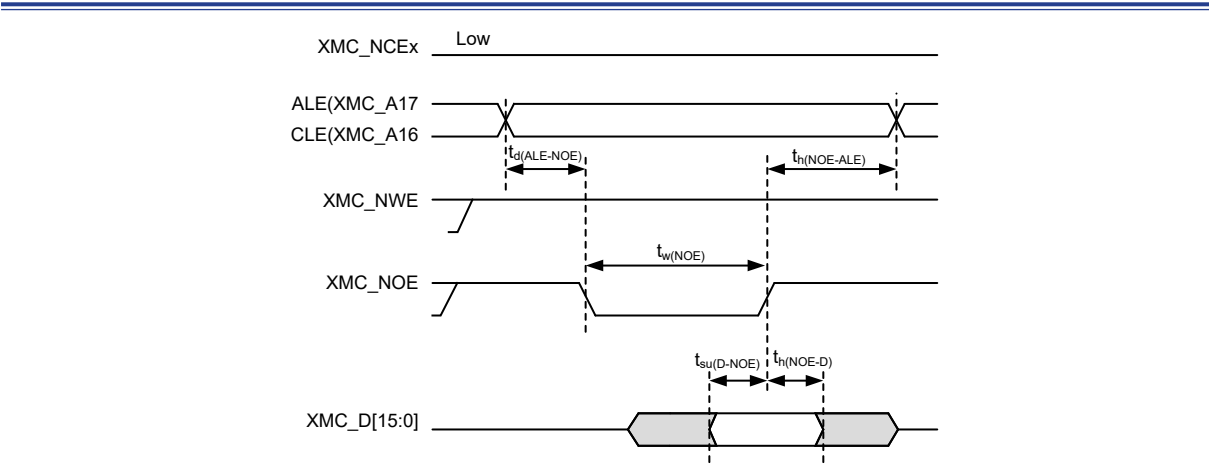


图 25. NAND 控制器在通用存储空间的读操作波形

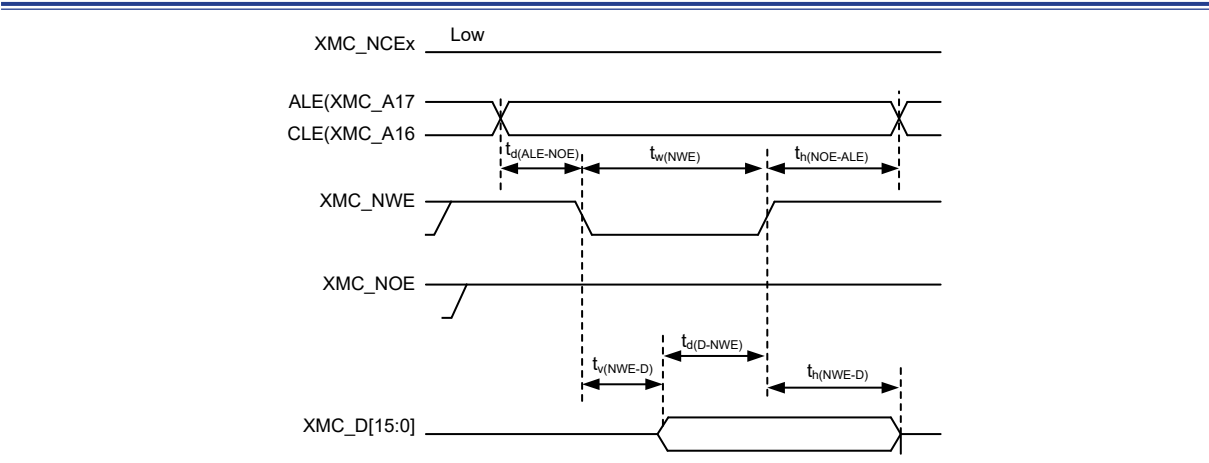


图 26. NAND 控制器在通用存储空间的写操作波形

TMR 定时器特性

下表列出的参数由综合评估得出。

表 43. TMR 定时器特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TMR)}$	定时器分辨时间	—	1	—	$t_{TMRxCLK}$
		$f_{TMRxCLK} = 240\text{ MHz}$	4.17	—	ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率	—	0	$f_{TMRxCLK}/2$	MHz
				50	MHz

SPI / I²S 接口特性

表 44 列出 SPI 参数和表 45 列出 I²S 参数。

表 44. SPI 特性

符号	参数	条件	最小值	最大值	单位
f_{SCK} (1/ $t_{c(SCK)}$) ⁽¹⁾	SPI 时钟频率 ⁽²⁾⁽³⁾	$V_{DD} = 3.3\text{ V}$, $T_A = 25\text{ }^{\circ}\text{C}$	—	50	MHz
		$V_{DD} = 3.3\text{ V}$, $T_A = 105\text{ }^{\circ}\text{C}$	—	36	
		$V_{DD} = 2.6\text{ V}$, $T_A = 105\text{ }^{\circ}\text{C}$	—	30	
$t_{r(SCK)}$ $t_{f(SCK)}$	SPI 时钟上升和下降时间	负载电容: $C = 30\text{ pF}$	—	8	ns
$t_{su(CS)}$ ⁽¹⁾	CS 建立时间	从模式	$4t_{PCLK}$	—	ns
$t_{h(CS)}$ ⁽¹⁾	CS 保持时间	从模式	$2t_{PCLK}$	—	ns
$t_{w(SCKH)}$ ⁽¹⁾ $t_{w(SCKL)}$ ⁽¹⁾	SCK 高和低的时间	主模式, $f_{PCLK} = 100\text{ MHz}$, 预分频系数 = 4	15	25	ns
$t_{su(MI)}$ ⁽¹⁾	数据输入建立时间	主模式	5	—	ns
$t_{su(SI)}$ ⁽¹⁾		从模式	5	—	
$t_{h(MI)}$ ⁽¹⁾	数据输入保持时间	主模式	5	—	ns
$t_{h(SI)}$ ⁽¹⁾		从模式	4	—	
$t_{a(SO)}$ ⁽¹⁾⁽⁴⁾	数据输出访问时间	从模式, $f_{PCLK} = 20\text{ MHz}$	0	$3t_{PCLK}$	ns
$t_{dis(SO)}$ ⁽¹⁾⁽⁵⁾	数据输出禁止时间	从模式	2	10	ns
$t_{v(SO)}$ ⁽¹⁾	数据输出有效时间	从模式 (使能边沿之后)	—	25	ns
$t_{v(MO)}$ ⁽¹⁾	数据输出有效时间	主模式 (使能边沿之后)	—	5	ns
$t_{h(SO)}$ ⁽¹⁾	数据输出保持时间	从模式 (使能边沿之后)	15	—	ns
$t_{h(MO)}$ ⁽¹⁾		主模式 (使能边沿之后)	2	—	

注: 1. 由综合评估得出, 不在生产中测试。
2. 从模式最大时钟频率不得超过 $f_{PCLK}/2$ 。
3. 最大时钟频率与器件和 PCB 布局高度相关。
4. 最小值表示驱动输出的最小时间, 最大值表示正确获得数据的最大时间。
5. 最小值表示关闭输出的最小时间, 最大值表示把数据线置于高阻态的最大时间。

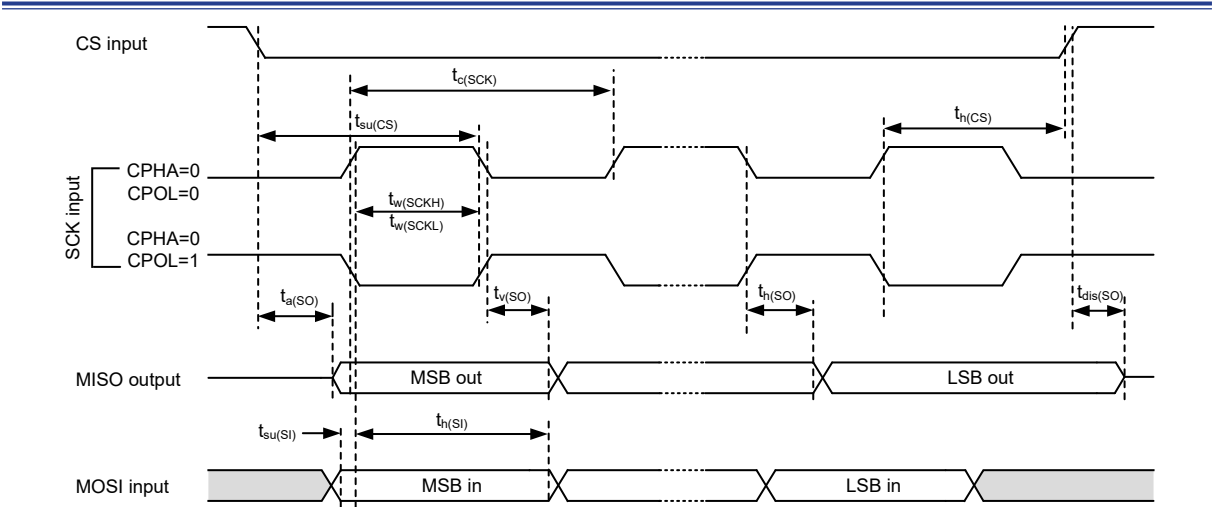


图 27. SPI 时序图 – 从模式和 CPHA = 0

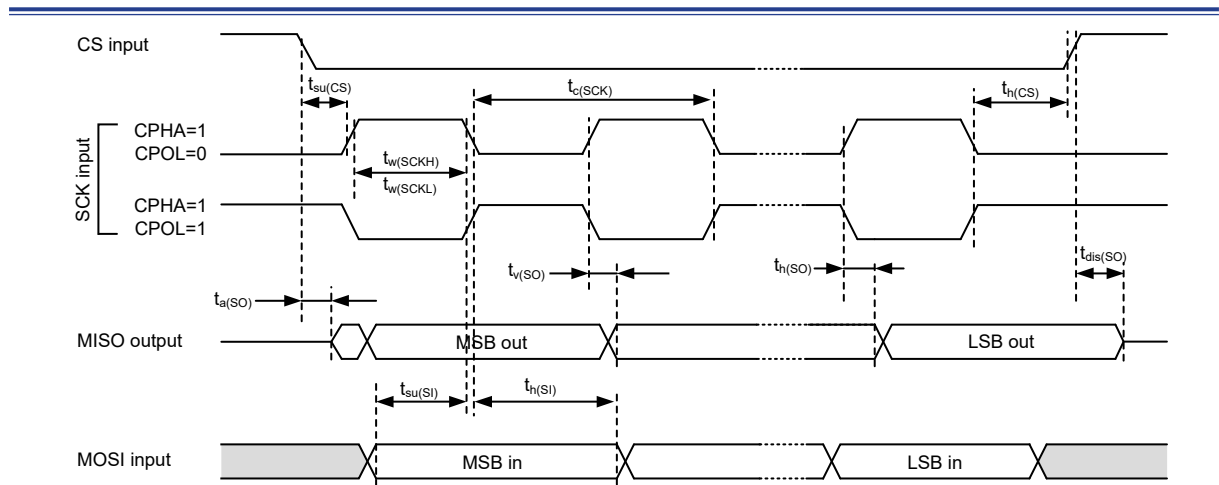


图 28. SPI 时序图 – 从模式和 CPHA = 1

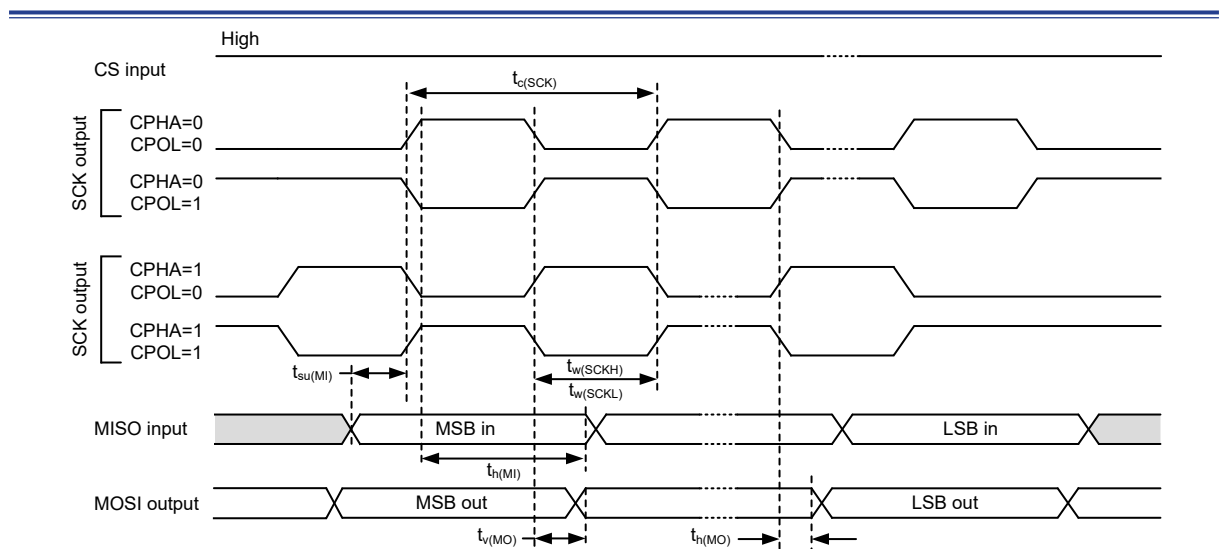


图 29. SPI 时序图 – 主模式

表 45. I²S 特性

符号	参数	条件	最小值	最大值	单位
f_{CK} $1/t_{c(CK)}$	I²S 时钟频率	主模式 (数据: 16 位, 音频: 48 kHz) 从模式	1.522 0	1.525 6.5	MHz
$t_{r(CK)}$ $t_{f(CK)}$	I²S 时钟上升和下降时间	负载电容: $C = 50\text{ pF}$	—	8	
$t_{v(WS)}^{(1)}$	WS 有效时间	主模式	3	—	
$t_{h(WS)}^{(1)}$	WS 保持时间	主模式	2	—	
$t_{su(WS)}^{(1)}$	WS 建立时间	从模式	4	—	
$t_{h(WS)}^{(1)}$	WS 保持时间	从模式	0	—	
$t_{w(CKH)}^{(1)}$ $t_{w(CKL)}^{(1)}$	CK 高和低的时间	主模式, $f_{PCLK} = 16\text{ MHz}$, 音频: 48 kHz	312.5 345	—	
$t_{su(SD_MR)}^{(1)}$ $t_{su(SD_SR)}^{(1)}$	数据输入建立时间	主接收器 从接收器	6.5 1.5	—	ns
$t_{h(SD_MR)}^{(1)(2)}$ $t_{h(SD_SR)}^{(1)(2)}$	数据输入保持时间	主接收器 从接收器	0 0.5	—	
$t_{v(SD_ST)}^{(1)(2)}$	数据输出有效时间	从发送器 (使能边沿之后)	—	18	
$t_{h(SD_ST)}^{(1)}$	数据输出保持时间	从发送器 (使能边沿之后)	11	—	
$t_{v(SD_MT)}^{(1)(2)}$	数据输出有效时间	主发送器 (使能边沿之后)	—	3	
$t_{h(SD_MT)}^{(1)}$	数据输出保持时间	主发送器 (使能边沿之后)	0	—	

注: 1. 由设计模拟和 / 或综合评估得出, 不在生产中测试。
2. 依赖于 f_{PCLK} 。例如, 如果 $f_{PCLK} = 8\text{ MHz}$, 则 $t_{PCLK} = 1/f_{PCLK} = 125\text{ ns}$ 。

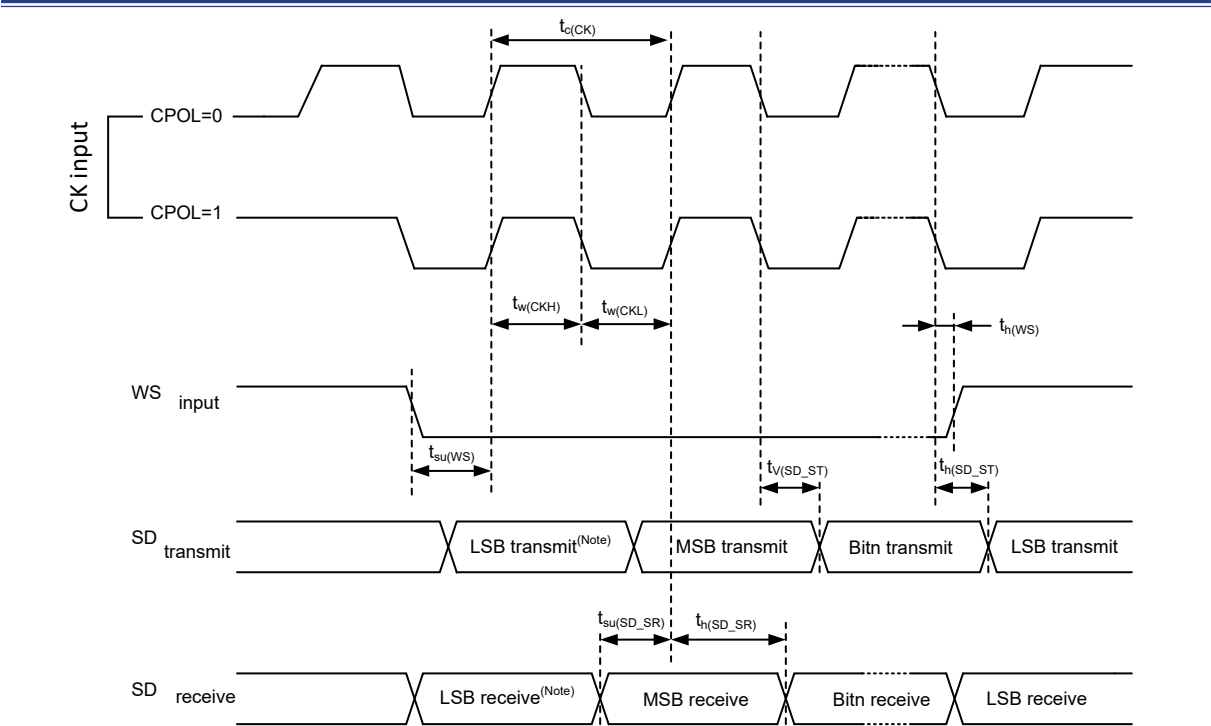


图 30. I²S 从模式时序图 (Philips 协议)

注: 前一字节的最低位发送 / 接收。在第一个字节之前没有这个最低位的发送 / 接收。

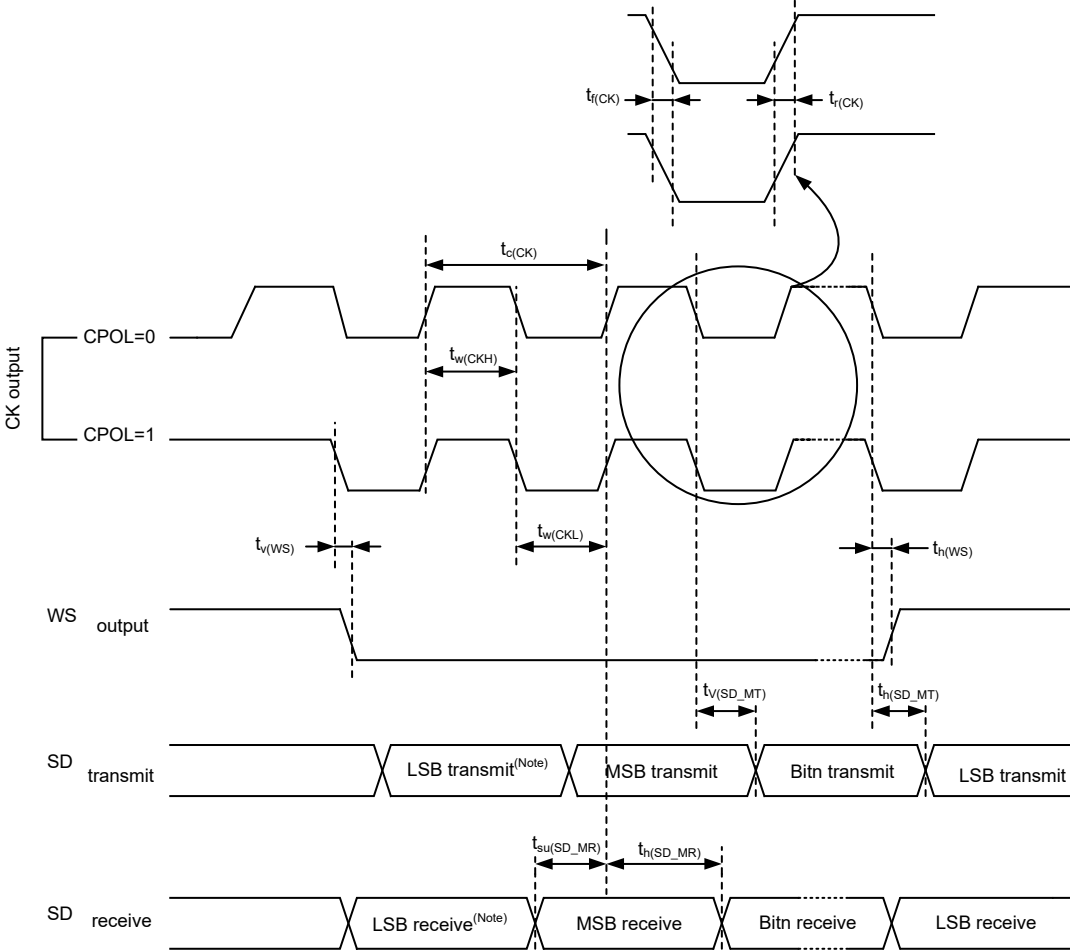


图 31. I²S 主模式时序图 (Philips 协议)

注：前一字节的最低位发送 / 接收。在第一个字节之前没有这个最低位的发送 / 接收。

I²C 接口特性

SDA 和 SCL GPIO 要求满足以下限制: SDA 和 SCL 不是“真”开漏的引脚, 当配置为开漏输出时, 在引出脚和 V_{DD} 之间的 PMOS 管被关闭, 但仍然存在。

I²C 总线接口支持标准模式 (最高 100 kHz) 和快速模式 (最高 400 kHz)。I²C 总线频率可以最高增加到 1 MHz。

SDIO 接口特性

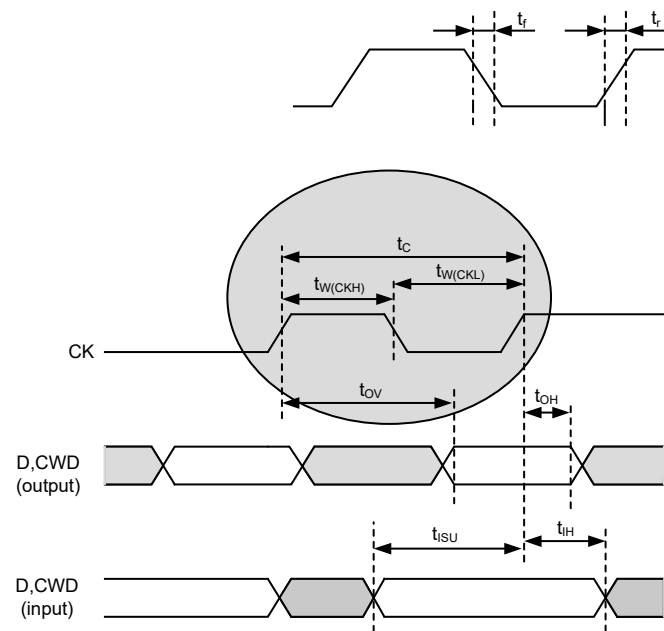


图 32. SDIO 高速模式

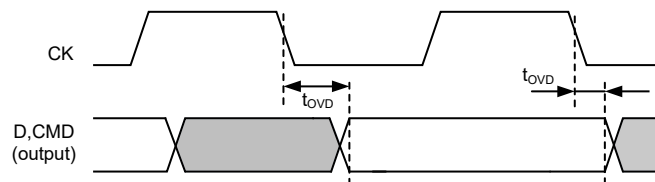


图 33. SD 默认模式

表 46. SD/MMC 接口特性

符号	参数	条件	最小值	最大值	单位
f _{PP}	数据传输模式下的时钟频率	—	0	48	MHz
t _{W(CKL)}	时钟低时间	f _{PP} = 16 MHz	32	—	ns
t _{W(CKH)}	时钟高时间	f _{PP} = 16 MHz	30	—	
t _r	时钟上升时间	—	—	4	
t _f	时钟下降时间	—	—	5	
CMD, D 输入 (参照 CK)					
t _{ISU}	输入建立时间	—	2	—	ns
t _{IH}	输入保持时间	—	0	—	
在 MMC 和 SD 高速模式 CMD, D 输出 (参照 CK)					
t _{OV}	输出有效时间	—	—	6	ns
t _{OH}	输出保持时间	—	0	—	

符号	参数	条件	最小值	最大值	单位
在 SD 默认模式 CMD, D 输出 (参照 CK) ^(注)					
t _{OVD}	输出有效默认时间	—	—	7	ns
t _{OHD}	输出保持默认时间	—	0.5	—	

注：参见 SDIO_CLKCTRL，SDIO 时钟控制寄存器，控制 CK 输出。

USBFS 接口特性

表 47. USBFS 启动时间

符号	参数	最大值	单位
t _{STARTUP} ^(注)	USBFS 收发器启动时间	1	μs

注：由综合评估得出，不在生产中测试。

表 48. USBFS 直流特性

符号		参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
输入电平	V _{DD}	USBFS 操作电压	—	3.0 ⁽²⁾	—	3.6	V
	V _{DI} ⁽³⁾	差分输入灵敏度	I (USBFS_D+, USBFS_D-)	0.2	—	—	V
	V _{CM} ⁽³⁾	差分共模范围	包含 VDI 范围	0.8	—	2.5	
	V _{SE} ⁽³⁾	单端接收器阈值	—	1.3	—	2.0	
输出电平	V _{OL}	静态输出低电平	1.24 kΩ 的 RL 接至 3.6 V ⁽⁴⁾	—	—	0.3	V
	V _{OH}	静态输出高电平	15 kΩ 的 RL 接至 VSS ⁽⁴⁾	2.8	—	3.6	
R _{PU}		USBFS_D+ 内部上拉电阻	V _{IN} = V _{SS}	0.97	1.24	1.58	kΩ

注：1. 所有的电压测量都是以设备端地线为准。
2. HT32F49365/HT32F49395 的 USB 功能在低至 2.7 V 时仍可保证，但在 2.7 ~ 3.0 V 电压范围内不确保全部电气特性。
3. 由综合评估得出，不在生产中测试。
4. R_L 是连接到 USB 驱动器上的负载。

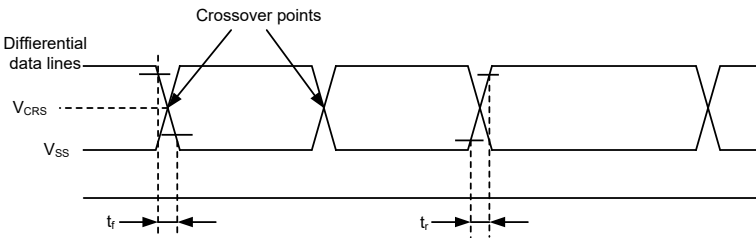


图 34. USBFS 时序：数据信号上升和下降时间定义

表 49. USBFS 电气特性

符号	参数	条件	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
t _r	上升时间 ⁽²⁾	C _L ≤ 50 pF	4	20	ns
t _f	下降时间 ⁽²⁾	C _L ≤ 50 pF	4	20	ns
t _{rfm}	上升下降时间匹配	t _r /t _f	90	110	%
V _{CRS}	输出信号交叉电压	—	1.3	2.0	V

注：1. 由综合评估得出，不在生产中测试。
2. 测量数据信号从 10% 至 90%。更多信息，参见 USB 规范第 7 章 (2.0 版)。

电气特性

12 位 ADC 特性

除非特别说明,下表的参数是使用符合表 13 的条件的环境温度, f_{PCLK2} 频率和 V_{DDA} 供电电压测量得到。

注: 建议在每次上电时执行一次校准。

表 50. ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	—	2.6	—	3.6	V
V_{REF+}	正参考电压 ⁽³⁾	—	2.0	—	V_{DDA}	V
I_{DDA}	在 V_{DDA} 输入脚上的电流	—	—	380 ⁽¹⁾	445	μA
I_{VREF}	在 V_{REF} 输入脚上的电流 ⁽³⁾	—	—	200 ⁽¹⁾	220	μA
f_{ADC}	ADC 时钟频率	—	0.6	—	28	MHz
$f_s^{(2)}$	采样速率	—	0.05	—	2	MSPS
$f_{TRIG}^{(2)}$	外部触发频率	$f_{ADC} = 28\text{ MHz}$	—	—	1.65	MHz
		—	—	—	17	1/ f_{ADC}
V_{AIN}	转换电压范围 ⁽³⁾	—	0 (V_{SSA} 或 V_{REF-} 连接到地)		V_{REF+}	V
$R_{AIN}^{(2)}$	外部输入阻抗	—	参见表 51 和表 52			Ω
$C_{ADC}^{(2)}$	内部采样和保持电容	—	—	10	—	pF
$t_{CAL}^{(2)}$	校准时间	$f_{ADC} = 28\text{ MHz}$	6.61			μs
		—	185			1/ f_{ADC}
$t_{lat}^{(2)}$	抢占触发转换时延	$f_{ADC} = 28\text{ MHz}$	—	—	107	ns
		—	—	—	3 ⁽⁴⁾	1/ f_{ADC}
$t_{latr}^{(2)}$	普通触发转换时延	$f_{ADC} = 28\text{ MHz}$	—	—	71.4	μs
		—	—	—	2 ⁽⁴⁾	1/ f_{ADC}
$t_s^{(2)}$	采样时间	$f_{ADC} = 28\text{ MHz}$	0.053	—	8.55	μs
		—	1.5	—	239.5	1/ f_{ADC}
$t_{STAB}^{(2)}$	上电时间	—	42			1/ f_{ADC}
$t_{CONV}^{(2)}$	总转换时间 (包括采样时间)	$f_{ADC} = 28\text{ MHz}$	0.5	—	9	μs
		—	14~252 (采样 t_s + 逐步逼近 12.5)			1/ f_{ADC}

- 注: 1. 由设计模拟, 不在生产中测试。
2. 由综合评估得出, 不在生产中测试。
3. 依据不同的封装, V_{REF+} 可以在内部连接到 V_{DDA} , V_{REF-} 可以在内部连接到 V_{SSA} 。
4. 对于外部触发, 必须在表 50 列出的时延中加上一个延迟 1/ f_{PCLK2} 。

表 51 和表 52 决定最大的外部阻抗, 使得误差可以小于 1/4 LSB。

表 51. $f_{ADC} = 14\text{ MHz}$ 时的最大 R_{AIN}

T_s (周期)	t_s (μs)	最大 R_{AIN} ($k\Omega$) ^(注)
1.5	0.11	0.25
7.5	0.54	1.3
13.5	0.96	2.5
28.5	2.04	5.0
41.5	2.96	8.0
55.5	3.96	10.5

T _s (周期)	t _s (μs)	最大 R _{AIN} (kΩ) ^(注)
71.5	5.11	13.5
239.5	17.11	40

注：由综合评估得出。

表 52. f_{ADC} = 28 MHz 时的最大 R_{AIN}

T _s (周期)	t _s (μs)	最大 R _{AIN} (kΩ) ^(注)
1.5	0.05	0.1
7.5	0.27	0.6
13.5	0.48	1.2
28.5	1.02	2.5
41.5	1.48	4.0
55.5	1.98	5.2
71.5	2.55	7.0
239.5	8.55	20

注：由综合评估得出。

表 53. ADC 精度⁽¹⁾

符号	参数	测试条件	典型值 ⁽²⁾	最大值 ⁽²⁾	单位
E _T	综合误差	f _{PCLK2} = 56 MHz, f _{ADC} = 28 MHz, R _{AIN} < 10 kΩ, V _{DDA} = 3.0~3.6 V, T _A = 25 °C 测量是在 ADC 校准之后进行的 V _{REF+} = V _{DDA}	±1.5	±2.5	LSB
E _O	偏移误差		+0.5	±1.5	
E _G	增益误差		+1	+2/-0.5	
E _D	微分线性误差		±0.6	±0.9	
E _L	积分线性误差		±0.8	±1.5	
E _T	综合误差	f _{PCLK2} = 56 MHz, f _{ADC} = 28 MHz, R _{AIN} < 10 kΩ, V _{DDA} = 2.6~3.6 V 测量是在 ADC 校准之后进行的	±2	±4	LSB
E _O	偏移误差		+0.5	±2	
E _G	增益误差		+1	+2.5/-1.5	
E _D	微分线性误差		±0.6	±1.2	
E _L	积分线性误差		±1	±2	

注：1. ADC 的直流精度数值是在经过内部校准后测量的。
2. 由综合评估得出，不在生产中测试。

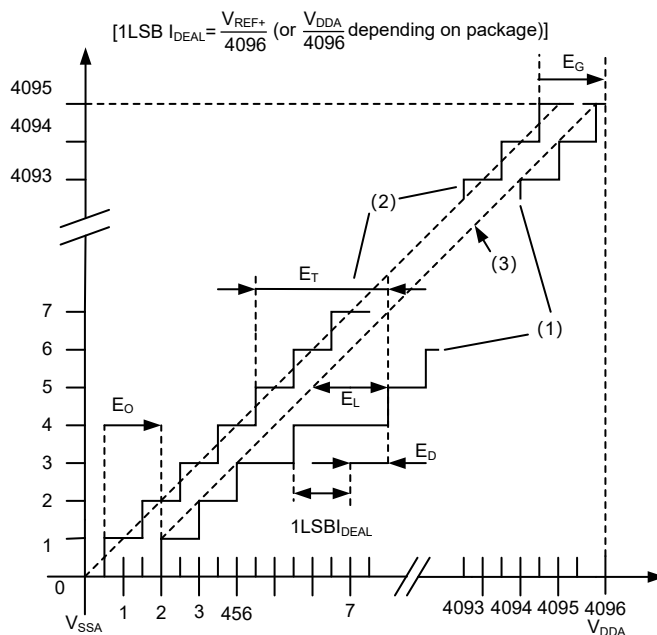


图 35. ADC 精度特性

注：1. 实际 ADC 转换曲线的例子

2. 理想转换曲线

3. 实际转换终点连线

4. E_T 综合误差：实际转换曲线与理想转换曲线间的最大偏离

E_O 偏移误差：实际转换曲线上的第一次跃迁与理想转换曲线上的第一次跃迁之差

E_G 增益误差：实际转换曲线上的最后一次跃迁与理想转换曲线上的最后一次跃迁之差

E_D 微分线性误差：实际转换曲线上步距与理想步距 (1LSB) 最大偏移

E_L 积分线性误差：实际转换曲线与终点连线间的最大偏离

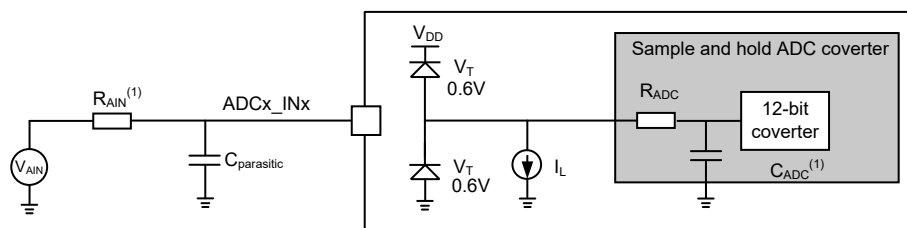


图 36. 使用 ADC 典型的连接图

注：1. 有关 R_{AIN} 和 C_{ADC} 的数值，参见表 50。

2. $C_{parasitic}$ 表示 PCB (与焊接和 PCB 布局质量相关) 与焊盘上的寄生电容 (大约 7 pF)。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

PCB 设计建议

依据 V_{REF+} 是否与 V_{DDA} 相连, 电源的去藕必须按照图 37 或图 38 连接。图中的 100 nF 电容必须是瓷介电容 (好的质量), 它们应该尽可能地靠近 MCU 芯片。

若在使能 HEXT 并且使用 ADC123_IN10~13 任一通道的条件下, 请遵照以下 PCB 设计建议以隔绝 HEXT 高频振荡对其邻近 ADC 输入信号之干扰。

- ADC_IN 信号与 HEXT 信号使用不同 PCB 层走线
- ADC_IN 信号走线避免与 HEXT 信号走线平行

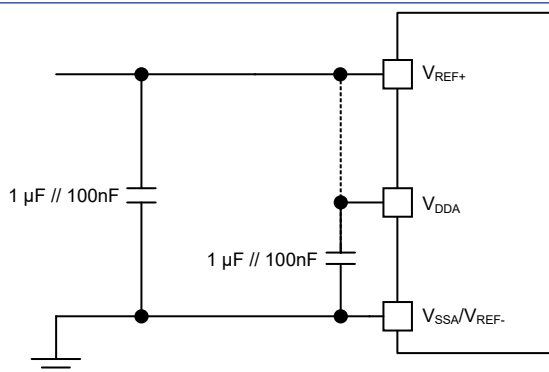


图 37. 供电电源和参考电源去藕线路 (V_{REF+} 未与 V_{DDA} 相连)

注: V_{REF+} 和 V_{REF-} 输入只出现在 100 脚封装上。

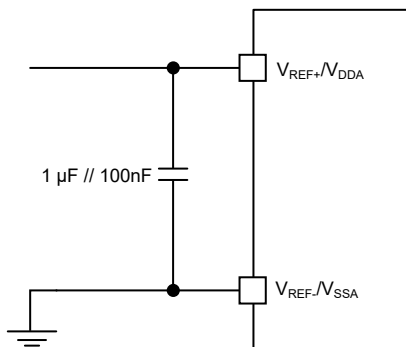


图 38. 供电电源和参考电源去藕线路 (V_{REF+} 与 V_{DDA} 相连)

注: V_{REF+} 和 V_{REF-} 输入只出现在 100 封装上。

内部参照电压 (V_{INTRV}) 特性

表 54. 内置参照电压特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{INTRV}	内部参照电压	—	1.16	1.20	1.24	V
$T_{Coeff}^{(注)}$	温度系数	—	—	—	120	ppm/°C
T_{S_VINTRV}	当读出内部参照电压时, ADC 的采样时间	—	—	5.1	17.1	μs

注: 由综合评估得出, 不在生产中测试。

温度传感器 (V_{TS}) 特性

表 55. 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
T _L ⁽¹⁾	V _{TS} 相对于温度的线性度	—	±2	±4	°C
Avg_Slope ⁽¹⁾⁽²⁾	平均斜率	-4.11	-4.26	-4.41	mV/°C
V ₂₅ ⁽¹⁾⁽²⁾	在 25 °C 时的电压	1.19	1.28	1.37	V
t _{START} ⁽³⁾	建立时间	—	—	100	μs
T _{S_temp} ⁽³⁾	当读取温度时，ADC 采样时间	—	8.6	17.1	μs

注：1. 由综合评估得出，不在生产中测试。
2. 温度传感器输出电压随温度线性变化，由于生产过程的变化，温度变化曲线的偏移在不同芯片上会有不同 (最多相差 50°C)。内部温度传感器更适合于检测温度的变化，而不是测量绝对的温度。如果需要测量精确的温度，应该使用一个外置的温度传感器。
3. 由设计模拟，不在生产中测试。

利用下列公式得出温度：

温度 (°C) = {(V₂₅ - V_{TS}) / Avg_Slope} + 25

这里：

V₂₅ = V_{TS} 在 25 °C 时的数值

Avg_Slope = 温度与 V_{TS} 曲线的平均斜率 (单位为 mV/°C)

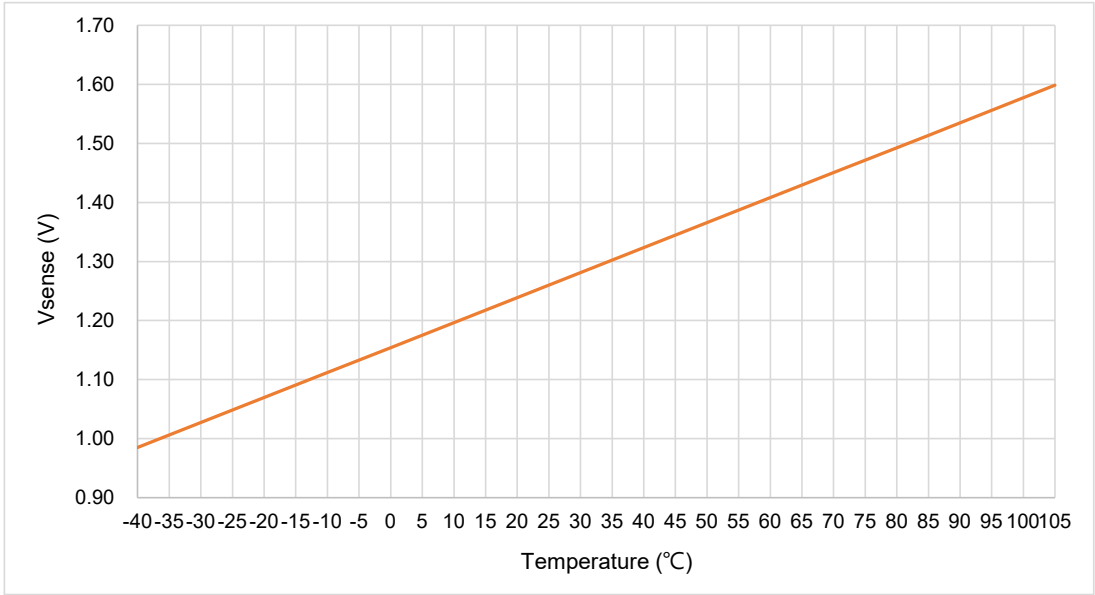


图 39. V_{TS} 对温度理想曲线图

12 位 DAC 特性

表 56. DAC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟供电电压	—	2.6	—	3.6	V
$V_{REF+}^{(3)}$	参考电压	—	2.0	—	3.6	V
V_{SSA}	地线	—	0	—	0	V
$R_{LOAD}^{(1)}$	缓冲器打开时的负载电阻	—	5	—	—	k Ω
$R_O^{(2)}$	缓冲器关闭时的输出阻抗	—	—	13.2	16	k Ω
$C_{LOAD}^{(1)}$	负载电容 (缓冲器打开时)	—	—	—	50	pF
$DAC_OUT^{(1)}$	缓冲器打开时低端的 DAC_OUT 电压	—	0.15	—	—	V
	缓冲器打开时高端的 DAC_OUT 电压	—	—	—	$V_{REF+} - 0.2$	V
	缓冲器关闭时低端的 DAC_OUT 电压	—	—	0.5	3.5	mV
	缓冲器关闭时高端的 DAC_OUT 电压	—	—	—	$V_{REF+} - 1.5\text{ mV}$	V
I_{DDA}	在静止模式 DAC 直流消耗	无负载, 当 $V_{REF+} = 3.6\text{ V}$ 时	—	480	625	μA
$I_{VREF}^{(3)}$	在静止模式 DAC 直流消耗	无负载, 当 $V_{REF+} = 3.6\text{ V}$ 时	—	330	340	μA
$DNL^{(2)}$	非线性失真	—	—	± 0.4	± 0.8	LSB
$INL^{(2)}$	非线性积累 (在代码 i 时测量的数值与代码 DAC_OUT 最大值和代码 DAC_OUT 最小值之间的连线间的偏差)	—	—	± 0.8	± 1.5	LSB
偏移误差 ⁽²⁾	偏移误差 (代码 0x800 时测量的数值与理想数值 $V_{REF+}/2$ 之间的偏差)	—	—	15	30	mV
			—	20	35	LSB
增益误差 ⁽²⁾	增益误差	—	—	0.1	0.25	%
$t_{SETTLING}$	设置时间	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$	—	1	4	μs
更新速率	当输入代码为较小变化时 (从数值 i 变到 i+1 LSB), 得到正确 DAC_OUT 的最大频率	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$	—	—	1	MSPS
t_{WAKEUP}	从关闭状态唤醒的时间 (设置 DAC 控制寄存器中的 EN 位)	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$	—	1.2	4	μs

注: 1. 由设计模拟, 不在生产中测试。
2. 由综合评估得出, 不在生产中测试。
3. 依据不同的封装, V_{REF+} 可以在内部连接到 V_{DDA} , V_{REF-} 可以在内部连接到 V_{SSA} 。

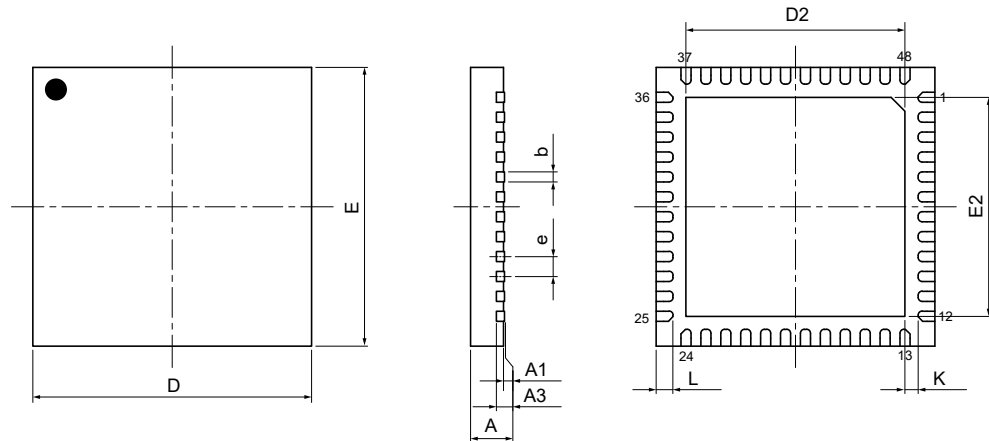
6 封装信息

请注意，这里提供的封装信息仅作为参考。由于这个信息经常更新，提醒用户咨询 [Holtek 网站](http://www.holtek.com) 以获取最新版本的[封装信息](#)。

封装信息的相关内容如下所示，点击可链接至 Holtek 网站相关信息页面。

- 封装信息 (包括外形尺寸、包装带和卷轴规格)
- 封装材料信息
- 纸箱信息

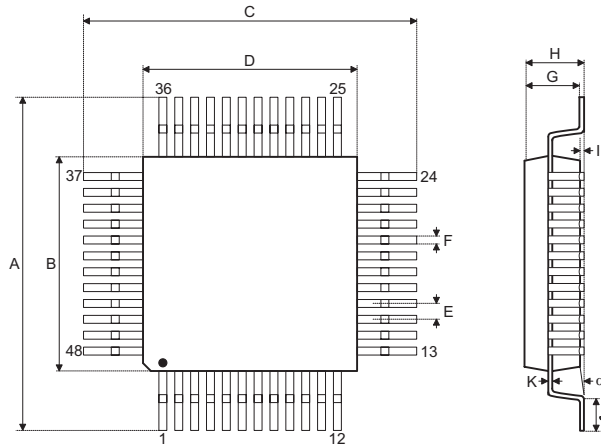
SAW Type 48-pin QFN (6 mm × 6 mm × 0.85 mm) 外形尺寸



符号	尺寸 (单位: inch)		
	最小值	典型值	最大值
A	0.031	0.033	0.035
A1	0.000	0.001	0.002
A3	—	0.008 REF	—
b	0.006	0.008	0.010
D	—	0.236 BSC	—
E	—	0.236 BSC	—
e	—	0.016 BSC	—
D2	0.173	—	0.181
E2	0.173	—	0.181
L	0.014	0.016	0.018
K	0.008	—	—

符号	尺寸 (单位: mm)		
	最小值	典型值	最大值
A	0.80	0.85	0.90
A1	0.00	0.02	0.05
A3	—	0.203 REF	—
b	0.15	0.20	0.25
D	—	6.00 BSC	—
E	—	6.00 BSC	—
e	—	0.40 BSC	—
D2	4.40	—	4.60
E2	4.40	—	4.60
L	0.35	0.40	0.45
K	0.20	—	—

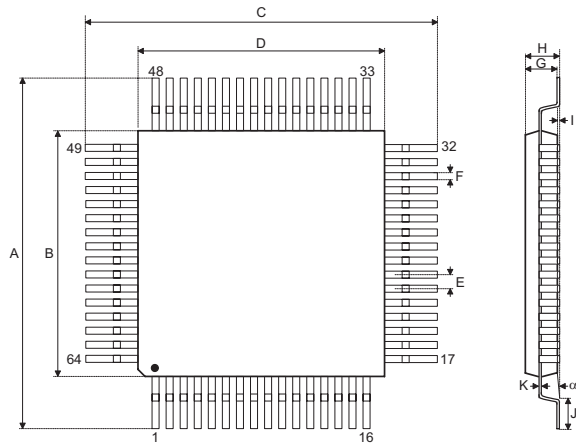
48-pin LQFP (7 mm × 7 mm) 外形尺寸



符号	尺寸 (单位: inch)		
	最小值	典型值	最大值
A	—	0.354 BSC	—
B	—	0.276 BSC	—
C	—	0.354 BSC	—
D	—	0.276 BSC	—
E	—	0.020 BSC	—
F	0.007	0.009	0.011
G	0.053	0.055	0.057
H	—	—	0.063
I	0.002	—	0.006
J	0.018	0.024	0.030
K	0.004	—	0.008
α	0°	—	7°

符号	尺寸 (单位: mm)		
	最小值	典型值	最大值
A	—	9.00 BSC	—
B	—	7.00 BSC	—
C	—	9.00 BSC	—
D	—	7.00 BSC	—
E	—	0.50 BSC	—
F	0.17	0.22	0.27
G	1.35	1.40	1.45
H	—	—	1.60
I	0.05	—	0.15
J	0.45	0.60	0.75
K	0.09	—	0.20
α	0°	—	7°

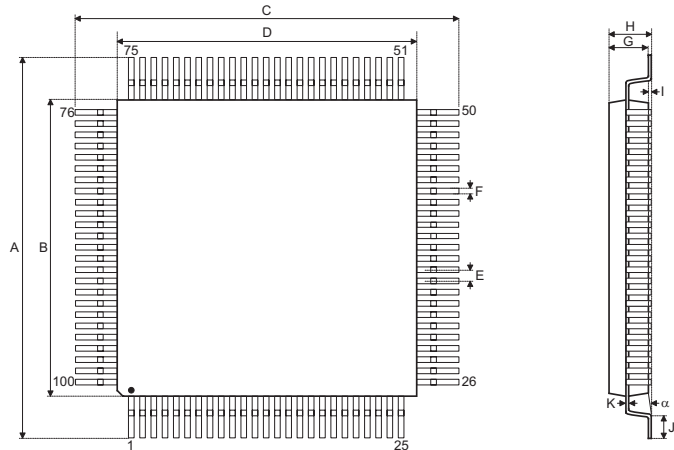
64-pin LQFP (10 mm × 10 mm) 外形尺寸



符号	尺寸 (单位: inch)		
	最小值	典型值	最大值
A	—	0.472 BSC	—
B	—	0.394 BSC	—
C	—	0.472 BSC	—
D	—	0.394 BSC	—
E	—	0.020 BSC	—
F	0.007	0.009	0.011
G	0.053	0.055	0.057
H	—	—	0.063
I	0.002	—	0.006
J	0.018	0.024	0.030
K	0.004	—	0.008
α	0°	—	7°

符号	尺寸 (单位: mm)		
	最小值	典型值	最大值
A	—	12.00 BSC	—
B	—	10.00 BSC	—
C	—	12.00 BSC	—
D	—	10.00 BSC	—
E	—	0.50 BSC	—
F	0.17	0.22	0.27
G	1.35	1.40	1.45
H	—	—	1.60
I	0.05	—	0.15
J	0.45	0.60	0.75
K	0.09	—	0.20
α	0°	—	7°

100-pin LQFP (14 mm × 14 mm) 外形尺寸



符号	尺寸 (单位: inch)		
	最小值	典型值	最大值
A	—	0.630 BSC	—
B	—	0.551 BSC	—
C	—	0.630 BSC	—
D	—	0.551 BSC	—
E	—	0.020 BSC	—
F	0.007	0.009	0.011
G	0.053	0.055	0.057
H	—	—	0.063
I	0.002	—	0.006
J	0.018	0.024	0.030
K	0.004	—	0.008
α	0°	—	7°

符号	尺寸 (单位: mm)		
	最小值	典型值	最大值
A	—	16.00 BSC	—
B	—	14.00 BSC	—
C	—	16.00 BSC	—
D	—	14.00 BSC	—
E	—	0.50 BSC	—
F	0.17	0.22	0.27
G	1.35	1.40	1.45
H	—	—	1.60
I	0.05	—	0.15
J	0.45	0.60	0.75
K	0.09	—	0.20
α	0°	—	7°

封装热特性

符号	参数	数值	单位
Θ_{JA}	结到环境的热阻抗 — 100LQFP – 14 × 14 mm/0.5 mm 间距	61.2	°C/W
	结到环境的热阻抗 — 64LQFP – 10 × 10 mm/0.5 mm 间距	64.6	
	结到环境的热阻抗 — 48LQFP – 7 × 7 mm/0.5 mm 间距	68.8	
	结到环境的热阻抗 — 48QFN – 6 × 6 mm/0.4 mm 间距	30.2	

Copyright© 2023 by HOLTEK SEMICONDUCTOR INC. All Rights Reserved.

本文件出版时 HOLTEK 已针对所载信息为合理注意，但不保证信息准确无误。文中提到的信息仅是提供作为参考，且可能被更新取代。HOLTEK 不担保任何明示、默示或法定的，包括但不限于适合商品化、令人满意的质量、规格、特性、功能与特定用途、不侵害第三方权利等保证责任。HOLTEK 就文中提到的信息及该信息之应用，不承担任何法律责任。此外，HOLTEK 并不推荐将 HOLTEK 的产品使用在会由于故障或其他原因而可能会对人身安全造成危害的地方。HOLTEK 特此声明，不授权将产品使用于救生、维生或安全关键零部件。在救生 / 维生或安全应用中使用 HOLTEK 产品的风险完全由买方承担，如因该等使用导致 HOLTEK 遭受损害、索赔、诉讼或产生费用，买方同意出面进行辩护、赔偿并使 HOLTEK 免受损害。HOLTEK (及其授权方，如适用) 拥有本文件所提供信息 (包括但不限于内容、数据、示例、材料、图形、商标) 的知识产权，且该信息受著作权法和其他知识产权法的保护。HOLTEK 在此并未明示或暗示授予任何知识产权。HOLTEK 拥有不事先通知而修改本文件所载信息的权利。如欲取得最新的信息，请与我们联系。